

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

11050 U.S. PTO  
09/911581



#2  
10-26-01  
Mullen

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 9月21日

出 願 番 号  
Application Number:

特願2000-287419

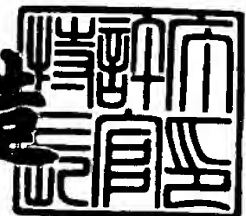
出 願 人  
Applicant(s):

三菱電機株式会社

2001年 3月 9日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3017372

【書類名】 特許願

【整理番号】 526942JP01

【提出日】 平成12年 9月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 大中道 崇浩

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100065226

    【弁理士】

    【氏名又は名称】 朝日奈 宗太

    【電話番号】 06-6943-8922

【選任した代理人】

    【識別番号】 100098257

    【弁理士】

    【氏名又は名称】 佐木 啓二

【手数料の表示】

    【予納台帳番号】 001627

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリコンMOSFET高周波半導体デバイスおよびその製造方法

【特許請求の範囲】

【請求項1】 基板上にSiのMOSトランジスタが形成されてなる高周波半導体デバイスであって、  
前記基板上に、ポリシリコンに横方向にPN接合を形成することにより得られるポリシリコン横方向ダイオードが、  
高周波入出力信号線と外部供給電源VDDとの間に、  
高周波入出力信号線から外部供給電圧VDDへの向きがダイオードの順方向となるように形成されることを特徴とする高周波半導体デバイス。

【請求項2】 基板上にSiのMOSトランジスタが形成されてなる高周波半導体デバイスであって、  
前記基板上に、ポリシリコンに横方向にPN接合を形成することにより得られるポリシリコン横方向ダイオードが、  
外部接地電圧GNDと高周波入出力信号線との間に、  
外部接地電圧GNDから高周波入出力信号線への向きがダイオードの順方向となるように形成されることを特徴とする高周波半導体デバイス。

【請求項3】 基板上にSiのMOSトランジスタが形成されてなる高周波半導体デバイスであって、  
前記基板上に、ポリシリコンに横方向にPN接合を形成することにより得られるポリシリコン横方向ダイオードが、  
高周波入出力信号線と外部供給電源VDDとの間、および外部接地電圧GNDと前記高周波入出力信号線との間に、  
高周波入出力信号線から外部供給電圧VDDへの向き、および外部接地電圧GNDから高周波入出力信号線への向きがそれぞれダイオードの順方向となるように形成されることを特徴とする高周波半導体デバイス。

【請求項4】 基板上にSiのMOSトランジスタが形成されてなる高周波半導体デバイスであって、

前記基板上に、ポリシリコンに横方向にPN接合を形成することにより得られるポリシリコン横方向ダイオードが、

高周波入出力信号線と外部供給電源VDDとの間に、

高周波入出力信号線から外部供給電圧VDDへの向きがダイオードの順方向となるようにm個直列に形成され、

さらに、外部接地電圧GNDと前記高周波入出力信号線との間に、

外部接地電圧GNDから高周波入出力信号線への向きがダイオードの順方向となるようにn個直列に形成され、

VDDの電圧値を $V_{dd}$ とした場合、形成されるダイオードの合計個数 $n + m$ が、

$V_{dd} / (n + m) < 1.1$  [V] を満たすことを特徴とする高周波半導体デバイス。

【請求項5】 全入出力信号線のうち、高周波入出力信号線に対してのみ前記ポリシリコン横方向ダイオードが形成されることを特徴とする請求項1、2、3または4記載の高周波半導体デバイス。

【請求項6】 前記基板上に、さらにポリシリコンを上部および下部電極とするポリシリコン間絶縁膜キャパシタ素子が形成され、  
前記ポリシリコン横方向ダイオードが、該ポリシリコン間絶縁膜キャパシタ素子の下部電極と同一のポリシリコン層から形成され、  
前記MOSトランジスタのゲート電極は、該ポリシリコン層とは別のポリシリコン層から形成されることを特徴とする請求項1、2、3、4または5記載の高周波半導体デバイス。

【請求項7】 前記基板上に、さらにポリシリコンを上部および下部電極とするポリシリコン間絶縁膜キャパシタ素子が形成され、  
前記ポリシリコン横方向ダイオードが、該ポリシリコン間絶縁膜キャパシタ素子の下部電極と同一のポリシリコン層から形成され、  
前記MOSトランジスタのゲート電極が、該ポリシリコン間絶縁膜キャパシタ素子の上部電極と同一のポリシリコン層から形成されることを特徴とする請求項1、2、3、4または5記載の高周波半導体デバイス。

【請求項8】 前記ポリシリコン横方向ダイオードのPN接合部上に、該P

N接合部を覆うように、

前記ポリシリコン間絶縁膜キャパシタ素子の上部電極に用いられるポリシリコン層および／または前記ポリシリコン間絶縁膜キャパシタ素子のキャパシタ絶縁膜層が形成される請求項6または7記載の高周波半導体デバイス。

【請求項9】 基板上に、MOSトランジスタ、ポリシリコン横方向ダイオードおよびポリシリコン間絶縁膜キャパシタ素子が形成されてなり、

前記ポリシリコン横方向ダイオードは、

高周波入出力信号線と外部供給電源VDDとの間、および外部接地電圧GNDと前記高周波入出力信号線との間に、高周波入出力信号線から外部供給電圧VDDへの向き、および外部接地電圧GNDから高周波入出力信号線への向きがそれぞれダイオードの順方向となるように形成されている高周波半導体デバイスの製造方法であって、

基板上に、少なくとも第1のポリシリコン層、第1の絶縁膜および第2のポリシリコン層をこの順に形成し、

前記第1のポリシリコン層から前記ポリシリコン間絶縁膜キャパシタ素子の下部電極および前記ポリシリコン横方向ダイオードが形成され、

前記第1の絶縁膜から前記ポリシリコン間絶縁膜キャパシタ素子のキャパシタ絶縁膜が形成され、

前記第2のポリシリコン層から前記ポリシリコン間絶縁膜キャパシタ素子の上部電極が形成され、

前記ポリシリコン横方向ダイオードのPN接合部となる部分の上部に前記第1の絶縁膜および／または第2のポリシリコン層が残され、

前記残された第1の絶縁膜および／または第2のポリシリコン層上に、ポリシリコン横方向ダイオードのN領域にイオンを注入するためのレジストパターンの端部、およびポリシリコン横方向ダイオードのP領域にイオンを注入するためのレジストパターンの端部が位置することを特徴とする高周波半導体デバイスの製造方法。

【請求項10】 前記第2のポリシリコン層から前記MOSトランジスタのゲート電極が形成されることを特徴とする請求項9記載の高周波半導体デバイス

の製造方法。

【請求項 1 1】 外部供給電源 VDD に正の過電圧が入力された場合、または外部接地電圧 GND に負の過電圧が入力された場合に、前記ポリシリコン横方向ダイオードの逆方向ブレイクダウン電圧の絶対値よりも小さい電圧値で動作するクランプ回路を、外部供給電源 VDD と外部接地電圧 GND との間に設けたことを特徴とする請求項 1、2、3、4、5、6、7 または 8 記載の高周波半導体デバイス。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、Si（シリコン）の MOS トランジスタを用いた高周波半導体デバイスに関し、とくに、高 ESD（Electro Static Discharge）耐性を有し高信頼度・高機能な高周波半導体デバイスデバイスの実現に関する。

【0 0 0 2】

【従来の技術】

近年、携帯電話の普及や、無線 LAN の実用化に伴い、これらの電子機器の高性能化、小型化、低コスト化を実現するのに不可欠な高周波半導体デバイスが脚光を浴びている。これら高周波半導体デバイスを実現する材料としては、これまで高い電子移動度を持つ GaAs などの III-V 族化合物半導体が主に用いられてきたが、近年、Si の MOS トランジスタの微細化が急激に進み、 $0.2\mu\text{m}$  を切る微細ゲート長を持つ MOS トランジスタが形成可能となり、そのトランスコンダクタンス  $G_m$  が著しく向上し、高周波特性が向上したため、ギガヘルツ帯・高周波デバイスに適用可能な特性を持つようになってきている。本発明は、このような Si の MOS トランジスタを用いた高周波半導体デバイスにおいて、高 ESD（Electro Static Discharge）耐性を有する高信頼・高機能デバイスを実現するものである。

【0 0 0 3】

静電気帯電した物体が他の物体と接触し、それらの物体間で起こる放電現象は、ESD（Electro Static Discharge）と呼ばれるが、半導体素子への ESD は

、その素子を破壊することがある。代表的なESDのモデルとしては、帯電した人体から半導体素子への放電をモデル化したHBM (Human Body Model)、帯電した装置から半導体素子への放電をモデル化したMM (Machine Model)、半導体自身に帯電した電荷が接地された物体に放電される様子をモデル化したCDM (Charge Device Model) の三種類がある。このうち、HBMとCDMの電流波形例を図1に示すが、この図からわかるように、HBMでは $\sim 100$  [ns] という比較的長時間にわたって $\sim 1$  [A] 程度の電流ストレスが生じることがわかるが、CDMについては $\sim 10$  [A] 程度の高電流ストレスが $\sim 1$  [ns] という非常に短い時間に印加されることがわかる。

#### 【0004】

以上のように、ESD時には高電流が短時間の間に半導体素子に印加されるため、ジュール熱による溶解という“熱的破壊”が起こるとともに、特に、近年LSI (Large-Scaled Integration) Siデバイスの主流であるMOS (Metal-Oxide-Semiconductor) トランジスタ構造を用いる場合は、MOSトランジスタのゲート酸化膜にESDによる高電界が印加されると絶縁破壊されやすいため、ESDによるデバイスの破壊は大きな問題となっている。そこで、入出力ピン（ワイヤーボンディングにより、この入出力ピンはSiウエハ上の電極パッド（入出力パッド）に接続されているので、以下入出力パッドとして説明を行なう）と内部回路の間に各種保護回路を形成し、ESD現象の際に流れる高電圧のサージが内部回路に伝達しないようにし、素子の破壊を防ぐのが一般的となっている。これはESD保護回路と呼ばれている。

#### 【0005】

現在、このESD保護回路としては、オフ状態にしたMOSトランジスタを入出力信号線に接続する回路がよく用いられており、たとえば論文M-D. Ker et.al., IEDM, pp.889-892, 1996（以下、文献1という）にその例が示されている。図2にその代表的ESD保護回路の回路図を示す。この図のように、入出力パッド30と内部回路100とを接続する入出力信号線に、ゲートとソースおよびPウェルを接地したN型MOSトランジスタ（以下、NMOSという）31のドレインを接続し、ゲートとソースおよびNウェルを外部供給電圧（以下、VDDとい

う)に接続したP型MOSトランジスタ(以下、PMOSという)32のドレインを接続する。接続された二つのMOSトランジスタ31、32はオフ状態であるため、通常動作時は何ら電流を流さず、通常時のデバイス動作には影響を及ぼさない。一方、ESDによるサージが入出力パッド30から流入すると、以下に説明する寄生バイポーラトランジスタ動作が起こり、ドレインからソースへ高電流を流す経路が形成される。

#### 【0006】

図3により、このMOSトランジスタの寄生バイポーラトランジスタ動作を説明する。ここでは、正電圧のサージ45がNMOS31のドレインに入ることを想定している。まず、ドレインのN+拡散層313において正電圧が印加され、サージによりその電圧が大きくなるにつれ、逆方向バイアスされたN+拡散層313のPN接合がブレイクダウンを起こし、衝突電離(インパクトイオン化)現象により多量の電子・正孔対の発生が起こる。発生した電子・正孔対のうち、電子は正電圧の印加されたドレインに、正孔は接地されたPウェル314へと流れる。ここで、正孔がPウェル314に流れることにより生じる電流の大きさを $I_{hole}$ 、Pウェルの抵抗値 $R_{sub}$ とすると、 $I_{hole} \cdot R_{sub}$ の電圧降下がPウェル314内深さ方向に起こることになる。この電圧降下により、NMOSのゲート311直下の浅いPウェル領域350の電位が正電位に上昇することとなる。この時、ドレインN+拡散層313/ゲート直下の浅いPウェル領域350/ソースN+拡散層312のNPN寄生バイポーラトランジスタにおいて、ドレインN+拡散層313/ゲート直下の浅いPウェル領域350が逆バイアス、ゲート直下の浅いPウェル領域350/ソースN+拡散層312が順バイアスされており、この寄生NPNバイポーラトランジスタがONする。以上のように、ゲート311を接地されオフ状態であったNMOS31は、ESDの正電圧サージ45が印加されると、NPN寄生バイポーラがONし大電流333を流すことが可能となる。

#### 【0007】

また、負電圧のサージがPMOS32に入った場合も同様の動作が起こる。さらに、PMOS32のドレインに入った正電圧のサージの場合は、ドレイン/N

ウェルの接合ダイオードは順バイアスされONし、電流がNウェルへと流れる。負電圧のサージがNMOS 31のドレインに入った場合も同様である。

## 【0008】

このように、オフ状態のMOSトランジスタを用いたESD保護回路により、ESD時に大電流をGND（接地）やVDDに逃がすことが可能であり、内部回路に高電流が流れることを防ぎ、前述の熱的破壊およびゲート酸化膜の絶縁破壊を防ぐことが可能となる。

## 【0009】

ここで、オフ状態のMOSトランジスタが、以上のような良好なESD保護機能を果たすためには、そのMOSトランジスタのレイアウト上の注意が必要であることがよく知られている。すなわち、MOSトランジスタのゲート電極60とソース／ドレイン拡散層に落とすコンタクト63との距離（ゲート・コンタクト間距離65）を十分大きくとる必要がある（図4参照）。文献1によれば、上記ゲート・コンタクト間距離65は、 $5 \sim 6 \mu\text{m}$ 確保しなくてはならないとされている。ゲート・コンタクト間距離65を $d$ 、コンタクト63の直径を $c$ とするならば、ゲート電極60で挟まれるソース／ドレイン領域61、62の幅は $2d + c$ となることから、ゲート・コンタクト間距離65を十分大きくとる必要があるESD保護素子として使用するMOSトランジスタにおいては、ソース／ドレイン領域61、62の幅も大きくなることがわかる（ $0.2 \mu\text{m}$ のデザインルールでは、 $c$ は $0.2 \mu\text{m}$ 程度であることが一般的であるから、ソース／ドレイン領域61、62の幅 $2d + c$ は $10.2 \sim 12.2 \mu\text{m}$ と大きくなる）。したがって、例えば、十分なESD保護機能を実現するためにはMOSトランジスタのゲート幅が最低 $100 \mu\text{m}$ 必要であり、 $0.2 \mu\text{m}$ デザインルールにおける一般的な単位面積当たりのソース／ドレイン拡散層の寄生容量（ソース／ドレイン拡散層とウェルからなるPN接合の空乏層容量）は $1 \text{ fF} / \mu\text{m}^2$ であるから、ESD保護素子として使用するMOSトランジスタのソース／ドレイン拡散層の対Si基板（ウェル）間の寄生容量は $1.02 \sim 1.22 \text{ pF}$ となり、非常に大きいものとなることがわかる。

## 【0010】

このようにESD保護素子の非常に大きい対Si基板間寄生容量は、半導体メモリやロジックデバイスにおいては、問題となることはなかった。しかしながら、Si-MOSを用いた高周波半導体デバイスでは、これが大きな問題となる。容量Cのインピーダンス $z$ の大きさ $|z|$ は、 $1/(2\pi f C)$ で表わされ、周波数 $f$ が大きくなると（すなわち高周波になると）、容量Cのインピーダンスの大きさ $|z|$ は小さくなることがわかる。ここで、さらに、この容量Cが大きくなると、容量Cのインピーダンス $z$ の大きさ $|z|$ は、さらに小さくなる。すなわち、大きいドレイン拡散層容量が高周波入出力信号線に接続されていると、高周波においては、この大きいドレイン拡散層容量のインピーダンスの大きさは非常に小さくなる。

## 【0011】

ここで、論文R. Groves IEEE BCTM pp.149-152, 1999（文献2）にも示されているように、Si基板では、化合物半導体GaAsの半導体デバイスで用いられているような半絶縁性の高抵抗な基板は、高品質なものが入手できないため、低抵抗な基板が用いられている。従って、図5の等価回路に示すように、高周波入出力信号線にESD保護素子を接続すると、そのドレイン拡散層の大きな容量33、34のインピーダンスが高周波において非常に小さく、その容量が接続される先であるSi基板の抵抗35、36も小さいため、高周波入出力信号線に流れる高周波信号 $S_1$ の多くが、ESD保護素子に流れてしまい、Si基板の抵抗により損失してしまうことがわかる。

## 【0012】

以上のように、従来の技術では、ESD保護素子を形成することにより高ESD耐性を有した高信頼度の高機能高周波Si-MOS半導体デバイスを実現することは不可能であった。

## 【0013】

## 【発明が解決しようとする課題】

本発明は、高ESD耐性を持つ高信頼度の高機能高周波Si-MOS半導体デバイスを提供するものである。

## 【0014】

## 【課題を解決するための手段】

本発明は、高周波入出力信号線と外部供給電源VDDとの間、および外部接地電圧GNDと前記高周波入出力信号線との間に、高周波入出力信号線から外部供給電圧VDDへの向き、および外部接地電圧GNDから高周波入出力信号線への向きがそれぞれダイオードの順方向となるようにポリシリコン横方向ダイオードを形成・接続することを特徴とする。

## 【0015】

高周波入出力信号線と外部供給電源VDDとの間に、高周波入出力信号線から外部供給電圧VDDへの向きがダイオードの順方向となるようにm個のポリシリコン横方向ダイオードを直列に形成・接続し、さらに、外部接地電圧GNDと前記高周波入出力信号線との間に、外部接地電圧GNDから高周波入出力信号線への向きがダイオードの順方向となるようにn個のポリシリコン横方向ダイオードを直列に形成・接続し、VDDの電圧値を $V_{dd}$ とした場合、形成されるポリシリコン横方向ダイオードの合計個数 $n+m$ が、 $V_{dd}/(n+m) < 1.1$  [V]を満たすことが好ましい。

## 【0016】

基板上に、MOSトランジスタ、ポリシリコン間絶縁膜キャパシタ素子およびポリシリコン横方向ダイオードを少なくとも有する高周波半導体デバイスにおいては、ポリシリコン横方向ダイオードをポリシリコン間絶縁膜キャパシタ素子の下部電極と同一のポリシリコン層から形成し、MOSトランジスタのゲート電極は、このポリシリコン層とは別のポリシリコン層から形成するとよい。このとき、MOSトランジスタのゲート電極を、ポリシリコン間絶縁膜キャパシタ素子の上部電極と同一のポリシリコン層から形成してもよい。

## 【0017】

ポリシリコン横方向ダイオードのPN接合部上に、このPN接合部を覆うように、ポリシリコン間絶縁膜キャパシタ素子の上部電極に用いられるポリシリコン層および／またはポリシリコン間絶縁膜キャパシタ素子のキャパシタ絶縁膜層を残し、このポリシリコン層および／またはキャパシタ絶縁膜層上に、ポリシリコン横方向ダイオードに不純物イオンを注入するためのレジストパターンの端部が

位置するようにするとよい。

【0018】

また、外部供給電源VDDと外部接地電圧GNDとの間に、前記ポリシリコン横方向ダイオードの逆方向ブレークダウン電圧の絶対値よりも小さい電圧値で動作するクランプ回路を設けるとよい。

【0019】

【発明の実施の形態】

実施の形態1

本発明による高周波半導体デバイス対応ESD保護回路の回路構成を図6に、素子構造を図7に示す。本実施の形態によるESD保護回路は、SiのMOSトランジスタの製造プロセスにおいて、MOSトランジスタのゲート電極を形成するためのポリシリコン（多結晶シリコン）層を使用してポリシリコン横方向ダイオードを形成し、形成したポリシリコン横方向ダイオードによりクランプ回路を構成する。

【0020】

ダイオードを用いたクランプ回路によるESD保護は、よく知られている。その機能をまず説明する。図6（a）に示すように、入出力パッド30aと内部回路100とを接続する信号線とVDD（外部供給される正電圧）との間に、信号線からVDDへの向きが順方向となるようダイオード38を接続し、さらに、GND（接地）と信号線との間に、GNDから信号線への向きが順方向となるよう、別のダイオード37を接続する。このダイオード・クランプ回路において、信号線にVDDより高い正電圧の信号が入った場合、VDDに接続されたダイオード38がONし、VDDに電流が流れ、信号線の電圧がVDDより低くなるまで、ダイオード38はONする。逆に、信号線にGNDより低い電圧（すなわち負電圧）の信号が入った場合、GNDに接続されたダイオード37がONし、GNDに電流が流れ、信号線の電圧がGNDより高くなるまで、ダイオード37はONする。このような、電圧をリミットすることが可能となるクランプ回路によって、信号線に正の高電圧ESDサージ45aが入った場合（図6（b））はVDDに接続されたダイオード38により、信号線に負の高電圧ESDサージ45b

が入った場合（図 6（c））は GND に接続されたダイオード 37 により、高電圧のサージを VDD や GND へ逃がすことが可能であり、信号線の先につながる内部回路 100 が ESD によって破壊されることを防ぐことができる。

#### 【 0 0 2 1 】

しかし、このダイオードによるクランプ回路には、論文 A. Z. Wang et.al., IEEE BCTM pp.46-49, 1999（以下、文献 3）で記されているように、大きな問題点がある。それは、ESD 以外の通常動作時に、信号線に VDD の電圧が印加された場合、外部から入力するこの VDD には多少のばらつき（通常、規格値として  $\pm 10\%$  が規定されており、最大  $10\%$  のばらつきが起こり得る）が生じるため、信号線の電圧が VDD より若干高くなることが起こり得る。その場合、VDD に接続されたダイオードが ON してしまい、大きなリーク電流が流れてしまうこととなる。このように、ダイオードの動作機構そのものの理由から、このダイオードによるクランプ回路を ESD 保護素子として使用することは難しかった。

#### 【 0 0 2 2 】

次に、本発明で用いている素子である、ポリシリコン横方向ダイオードについて説明する。図 7 に示すように、ポリシリコン横方向ダイオードは、分離酸化膜 82 上に形成したポリシリコンの膜 84 にイオンを注入して P 型の領域 85 および N 型の領域 86 を形成し、横方向に PN 接合を形成したものである。ポリシリコン横方向ダイオードは、論文 M. Dtoit et.al., J. Electrochem. Soc., vol.125, no.10, pp.1648-1651, 1978（以下、文献 4 という）に示されているように、古くは 1970 年代から研究されている素子である。素子の特性については、文献 4 のみならず多くの研究がなされてきている。実際に半導体デバイスに適用された例としては、不揮発性メモリであるフラッシュメモリの昇圧回路に用いた論文 Y. Miyawaki et.al., IEEE J. Solid-State Circuits, vol.34, pp.1551-1556, Nov. 1999（以下、文献 5 という）がある。これらの研究例にも示されているように、このポリシリコン横方向ダイオードは、Si 基板から分離酸化膜などで隔離されているため、寄生容量が小さいという利点がある。文献 5 のフラッシュメモリの昇圧回路への適用例では、ポリシリコン横方向ダイオードが基板効果を持たないことを利用し、高効率昇圧回路を実現している。このような利点を有

するこのポリシリコン横方向ダイオードには、一方で、前述の数多くの研究例から自明なように、大きな問題点があった。すなわち、ポリシリコン中には単結晶シリコンと異なり、多数の欠陥や、大きな粒径（グレインサイズ）のため、エネルギー準位の深いトラップ準位が形成されることなどが起因して、図 8 に示すように、逆方向バイアスのリーク電流 7 2 が非常に大きいことが欠点である。単結晶シリコンは理想的なダイオード特性を示すのに対し、図 8 のように大きなリーク電流が流れるこのポリシリコン横方向ダイオードは、低消費電力を指向し低リーク電流を必須としているロジック半導体デバイスに適用することは不可能であった。また、そのリーク電流により「1」、「0」の反転などの誤動作を引き起こすことから、ロジック半導体デバイスに適用することは不可能であった。さらに、致命的な問題点として信頼性の問題がある。多結晶がゆえに、膜中に欠陥が多数存在するポリシリコンでは、通常の半導体デバイスのように 1 0 年間の寿命を想定し、この 1 0 年間に予想される ON/OFF のスイッチング動作に耐えうる信頼性を確保することは不可能である。したがって、ポリシリコン横方向ダイオードは、信頼性の観点からもロジックデバイスに使用することは不可能であった。これに対し文献 5 の例では、フラッシュメモリの一般回路にはポリシリコン横方向ダイオードを全く用いることなく、昇圧回路にのみ適用している。昇圧回路は、リーク電流が多いというポリシリコン横方向ダイオードの欠点の問題とならない回路動作のみを行ない、また、信頼性についても、昇圧回路はフラッシュメモリの書込消去動作時間のみの動作であり、通常の半導体デバイスで 1 0 年間に予想される ON/OFF の回数より数桁も少ない動作回数の信頼性しか要求されないため、これらを前提にして初めてポリシリコン横方向ダイオードが使用可能となっている。

#### 【 0 0 2 3 】

以上のように従来においては、ESD 保護回路用の素子としてダイオード、とくにポリシリコン横方向ダイオードを使用することは難しかった。本発明では、以下の方法により従来技術の問題点を解決し、Si-MOS トランジスタを使用した高周波デバイスにおいて、高 ESD 耐性を有した、高機能・高信頼半導体デバイスを実現することを初めて可能とした。

## 【0024】

本発明では、Si-MOSトランジスタを使用した高周波デバイスの全入出力線のうちの高周波入出力信号線のみに、ポリシリコン横方向ダイオードをESD保護素子として使用したクランプ回路を形成する。その他の高周波を扱わない信号線には、従来のESD保護素子を形成すればよい。

## 【0025】

高周波入出力信号線では、直流的なバイアス点は特定の値とすることが可能であり、VDDをそのまま印加することを行わず、高周波入出力信号線電圧値をVDDとGNDの間の特定の電圧値とし、VDDのいかなるばらつきが生じた場合においても、信号線の電圧がVDDより大きくなることのないように、バイアス回路を設計することが可能であり、これにより、前記文献3などにおいて大きな問題とされていた、ダイオード型クランプ回路におけるVDDばらつきによるダイオードON現象を解決することが可能となり、ダイオード型クランプ回路の使用が初めて可能となる。

## 【0026】

また、ポリシリコン横方向ダイオードの大きな逆バイアスリーク電流が流れても、ポリシリコン横方向ダイオードが接続された高周波入出力信号線では、直流回路動作としては、バイアスの供給という動作以外は一切行われなため、リーク電流が誤動作を引き起こすことがなく、従来問題となっていた、ポリシリコン横方向ダイオードの大きな逆バイアスリーク電流の問題が解決され、クランプ回路の保護素子としてポリシリコン横方向ダイオードを使用することが可能となる。高周波動作では、この逆バイアスリーク電流は、高周波回路における動作バイアス点がずれるという影響のみが起こるが、この動作バイアス点について、逆バイアスリーク電流によるずれを想定したうえで設計を行うことにより問題は生じない。高周波特性には全く影響しないため、誤動作が生じることはなく、高信頼性を実現可能である。前述のように、直流動作を行うロジック・デバイスでは、クランプ回路の保護素子としてポリシリコン横方向ダイオードを使用することは不可能であった。

## 【0027】

E S D のサージが入ったときのみの回路動作であり、10年相当の信頼性を必要としないE S D保護素子としてポリシリコン横方向ダイオードを用いることにより、多結晶シリコンゆえの欠陥のために、これまで10年相当のON/OFF動作での信頼性の確保が不可能であったポリシリコン横方向ダイオードの信頼性問題を解決した。

#### 【0028】

ポリシリコン横方向ダイオードをE S D保護素子として用いることにより、対S i基板（ウェル）間の寄生容量を著しく低減し、信号電流がこの寄生容量を介して低抵抗のS i基板に流れ損失してしまう現象を低減することが初めて可能となる。例えば、ポリシリコン横方向ダイオードの横方向の長さは、PN接合を形成するための領域と、P/Nそれぞれの電極を形成するための、コンタクトホール形成に必要な領域のみであり、どんなに大きくなったとしても、たかだか5  $\mu$ m程度であり、MOSトランジスタのゲート幅に相当するダイオード幅を、MOSトランジスタについての計算例と同様に100  $\mu$ mとすると、面積 $S = 5 \times 100 = 500 \mu\text{m}^2$ の導体が、分離酸化膜を介して、S i基板と接していることになる。分離酸化膜の厚さとして、一般的な0.35  $\mu$ mという厚さを想定すると、その対S i基板間寄生容量Cは、 $C = \epsilon_{\text{ox}} \cdot d / S$ （ $\epsilon_{\text{ox}}$ は分離酸化膜（S i O<sub>2</sub>）の誘電率）により容易に求まり、1個のダイオードにつき0.05 pFとなる。この値は、前述の従来技術によるMOSトランジスタE S D保護素子の対S i基板（ウェル）間の寄生容量1.02～1.22 pFに比べ、1/20以下に低減されていることがわかる。これは、高周波動作時の寄生容量のインピーダンスが20倍以上になることを意味しており、高周波信号が寄生容量を介してS i基板に抜けることを、ほぼ完全に防止することができ、低抵抗S i基板における抵抗損失を著しく低減することが初めて実現される。これによって、高周波特性をほとんど劣化させることなく、E S DによるS i-MOSトランジスタ回路素子の破壊を防止し、高E S D耐性を有した、高機能・高信頼高周波半導体デバイスを実現することが初めて可能となる。

#### 【0029】

ここで、ポリシリコン横方向ダイオードに付随する寄生容量は、対S i基板（

ウェル)間の寄生容量に加えて、PN接合の空乏層容量がある。後述する形成法でPN接合を作製するならば、その不純物濃度は $10^{20} \text{ cm}^{-3}$ 程度と非常に高い場合が多く、PN接合の空乏層容量は比較的大きい値となる。従来の半導体デバイスに本素子を適用した場合には、この空乏層容量も含めた総寄生容量の大小が重要であったが、前述のように、Si-MOSトランジスタを用いた高周波デバイスにおいて初めて、高周波信号の低抵抗Si基板における抵抗損失が大きな問題となり、対Si基板間寄生容量の低減が重要となっている(等価回路を図9に示す)。

### 【0030】

よって、本発明は、Si-MOSトランジスタを用い、かつ高周波動作を行うデバイスにおいて新たに大きな問題として生じた、総寄生容量ではなく対Si基板間寄生容量の低減という要請を、ポリシリコン横方向ダイオードを使用したクランプ回路型のESD保護回路により初めて解決し、同時に、前述のように、従来ポリシリコン横方向ダイオードの適用を妨げていた数々の問題点を初めて解決しており、重要な新たな効果・新規性を有しているといえる。

### 【0031】

以上のように、Si-MOSトランジスタを使用した高周波デバイスの全入出力線のうちの高周波入出力信号線のみに、ポリシリコン横方向ダイオードをESD保護素子として適用したクランプ回路を設けることにより、誤動作を起こすことなく、かつ高周波特性を大きく劣化させることなく、ESDによるSi-MOSトランジスタの破壊を防止し、高ESD耐性を有した、高機能・高信頼高周波半導体デバイスを実現することが初めて可能となる。

### 【0032】

#### 実施の形態2

本実施の形態では、図10に示すように、高周波信号の入出力パッド30aと内部回路100とを接続する高周波入出力信号線とVDD(外部供給される正電圧)との間に、高周波入出力信号線からVDDへの向きが順方向となるようにm個のポリシリコン横方向ダイオード38a、38b、・・・38mを直列に形成し、さらに、GND(接地)と高周波入出力信号線との間に、GNDから高周波

入出力信号線への向きが順方向となるよう、 $n$  個のポリシリコン横方向ダイオード 37 a、37 b、 $\dots$ 、37 n を直列に形成する。

【0033】

ポリシリコン横方向ダイオードの合計数  $m+n$  は、VDD の電圧値を  $V_{dd}$  とし  
て、

$$V_{dd} / (m+n) < 1.1 \text{ [V]} \quad (\text{式 1})$$

なる関係式を満足するようにする。

【0034】

ポリシリコン横方向ダイオードは、横方向に PN 接合を形成した素子であるが、実際には、後述の形成法に述べられているように、PN 接合部は、不純物濃度の低い領域またはいわゆる不純物が添加されていない領域  $i$  領域（絶縁領域）を形成することにより、ダイオードの特性を良くすることが一般的である。このようなダイオードは文献 S. M. Sze, "Physics of Semiconductor Devices," pp.117（文献 6）にあるように、PIN ダイオードと呼ばれる。この PIN ダイオードでの動作を考えると、ポリシリコン横方向ダイオードに電圧を印加した際、印加した電圧は、高抵抗な  $i$  領域にすべて印加される。逆方向に電圧を印加した場合を考えると、この印加電圧が、 $S_i$  のバンドギャップ電圧（1.1 [V]）より大きくなると、この  $i$  領域のエネルギーバンドが  $S_i$  のバンドギャップ電圧以上曲がることとなり、価電子帯の電子が導電帯にトンネル現象を起こすようになる（図 11（b））。この現象は、文献「フラッシュメモリ技術ハンドブック」サイエンスフォーラム社（文献 7）にもあるように、バンド間トンネル現象と呼ばれている。ここで、前述のように、ポリシリコンには、多結晶であるがために、多数の欠陥や大きな粒径（グレインサイズ）のため、エネルギー準位の深いトラップ準位が多く形成されている。したがって、バンド間トンネル現象が起こるようになると、これら深いトラップ準位を介して、そのトンネル電流の発生が助長されることとなり、逆バイアス時のリーク電流が著しく増大してしまう（図 11（c））。

【0035】

そこで、本実施の形態により、複数個のダイオードを直列接続してクランプ回

路を構成し、逆方向バイアスとして各ダイオードに印加される最大電圧を、Siのバンドギャップ電圧（1.1V）より大きくならないようにすることによって、バンド間トンネル現象の発生を防ぐことができ、ポリシリコン横方向ダイオードの最大の問題点であった、逆方向リーク電流を著しく改善し、直流消費電流の低減が実現される。従来では、このようにダイオードを複数個直列接続するとダイオードのON電圧もその個数倍に増大してしまい、消費電力の増大を引き起こすのはもちろん、外部供給電圧より高くなってしまい、そもそも扱うことができなくなってしまうこともあった。それに対し、本発明では、デバイスの定常動作時は、ダイオードには逆方向バイアスしか印加されることはなく、ESDの際は、そのサージ電圧は非常に高い電圧であるので、ダイオードのON電圧の増大は全く問題とならなく、複数個のダイオードの直列接続が初めて可能である。

## 【0036】

以上のように、Si-MOSトランジスタを使用した高周波デバイスの全入出力線のうちの高周波入出力信号線の上に、ポリシリコン横方向ダイオードを用いたクランプ回路を、ESD保護素子として適用することにより、誤動作を起こすことなく、かつ、高周波特性を大きく劣化させることなく、ESDによるSi-MOSトランジスタ回路素子の破壊を防止し、高ESD耐性を有した、高機能・高信頼半導体デバイスを実現することが初めて可能となる。

## 【0037】

また、ESD保護素子として使用する場合のみ使用が許される複数個ダイオード直列接続型クランプ回路により、ポリシリコン横方向ダイオードの逆バイアス時のバンド間トンネル電流の発生を防ぎ、逆バイアス時リーク電流を著しく低減することにより、直流消費電流の低減を実現する。

## 【0038】

## 実施の形態3

上記実施の形態1および2においては、VDDと信号線との間に形成するダイオードと、GNDと信号線との間に形成するダイオードの双方でクランプ回路を構成した例を示したが、どちらか一方のみ使用する構成でも可能であり、また、どちらか一方のみ本発明の装置を使用し、他方については従来技術を用いること

も、もちろん可能である。

【0039】

実施の形態4

実施の形態1、2および3の高周波半導体デバイスの製造プロセスを、図12、13、14、15、16および17により説明する。図12、13、14、15、16および17は、Si基板1上のNMOS形成領域91、PMOS形成領域92およびダイオード形成領域93に、それぞれNMOSトランジスタ、PMOSトランジスタ、そしてポリシリコン横方向ダイオードが形成された高周波半導体デバイスの製造プロセスを示している。

【0040】

まず、Si基板1上に分離酸化膜2を形成し、さらにイオン注入をおこなってウェルを形成する。(図12(a))。

【0041】

次に、ゲート絶縁膜3を形成し、さらに不純物無添加のポリシリコン層4を形成する(図12(b))。

【0042】

次に、レジストパターン51を形成し、図中の矢印Aで示すように、NMOSトランジスタのゲート電極となる部分のポリシリコン層4に不純物イオンを注入する(図12(c))。

【0043】

次に、レジストパターン51を除去し、別のレジストパターン(図示せず)を使用してポリシリコン層4のパターニングを行なう(図13(a))。パターニングにより、NMOSトランジスタのゲート電極、PMOSトランジスタのゲート電極およびポリシリコン横方向ダイオードとなる部分のポリシリコン層4が残される。

【0044】

次に、レジストパターン52を形成し、図中の矢印Bで示すように、NMOSトランジスタのソース/ドレインにLDD構造を形成するためのイオン注入を行なう(図13(b))。

## 【 0 0 4 5 】

さらに、レジストパターン 5 2 を除去し、別のレジストパターン 5 3 を形成して、図中の矢印 C で示すように、PMOS トランジスタのソース／ドレインに LDD 構造を形成するためのイオン注入を行なう（図 1 3 （c））。

## 【 0 0 4 6 】

次に、レジストパターン 5 3 を除去し、ポリシリコン層 4 の側面に絶縁膜サイドウォール 5 を形成する（図 1 4 （a））。

## 【 0 0 4 7 】

その後、レジストパターン 5 4 を形成し、図中の矢印 D で示すように、NMOS トランジスタのソース／ドレインにイオン注入を行なう（図 1 4 （b））。このとき同時に、ポリシリコン横方向ダイオードの N 型領域にもイオン注入を行なう。

## 【 0 0 4 8 】

次に、レジストパターン 5 4 を除去し、別のレジストパターン 5 5 を形成して、図中の矢印 E で示すように、PMOS トランジスタのソース／ドレインにイオン注入を行なう（図 1 4 （c））。このとき同時に、ポリシリコン横方向ダイオードの P 型領域にもイオン注入を行なう。

## 【 0 0 4 9 】

次に、レジストパターン 5 5 を除去し、サリサイド（セルフアラインシリサイド）防止用の絶縁膜 6 を堆積させる（図 1 5 （a））。続いて、レジストパターン 5 6 を形成し（図 1 5 （b））、サリサイド防止用絶縁膜 6 のパターニングをおこなう（図 1 5 （c））。

## 【 0 0 5 0 】

そして、NMOS トランジスタおよび PMOS トランジスタのゲート／ソース／ドレインにサリサイドの層 7 を形成する（図 1 6 （a））。

## 【 0 0 5 1 】

その後、層間絶縁膜 8 を堆積させ（図 1 6 （b））、NMOS トランジスタ、PMOS トランジスタおよびポリシリコン横方向ダイオードと外部との接続をとるために、コンタクトホール 9 を形成する（図 1 7 （a））。

## 【 0 0 5 2 】

コンタクトホール 9 内に導電性材料からなるコンタクト 1 0 を形成し、その後金属配線 1 1 を形成する（図 1 7 （b））。

## 【 0 0 5 3 】

以後同様に、層間絶縁膜の堆積とコンタクトホール（二層目より上層では、一般にヴィアホールと呼ばれる）、コンタクト（二層目より上層では、一般にヴィアと呼ばれる）の形成と金属配線の形成を必要な回数くりかえし、必要な層数の金属配線を形成する。最後に、最上層の金属配線上に保護膜（パッシベーション膜）を形成し、入出力パッド部の保護膜を取り除いて高周波半導体デバイスは完成する。

## 【 0 0 5 4 】

以上の説明では、PMOS トランジスタのソース／ドレインにイオン注入を行なう工程が、PMOS トランジスタのゲート電極への不純物イオンの注入を行なう工程を兼ねるものとしているが、PMOS トランジスタのゲート電極への不純物イオンの注入を、NMOS トランジスタのゲート電極への不純物イオン注入（図 1 2 （c））の直後または直前に行なうようにしてもよい。

## 【 0 0 5 5 】

## 実施の形態 5

実施の形態 1、2 および 3 の高周波半導体デバイスの製造プロセスの別の例を、図 1 8、1 9 および 2 0 により説明する。図 1 8、1 9 および 2 0 は、Si 基板 1 上の NMOS 形成領域 9 1、PMOS 形成領域 9 2 およびダイオード形成領域 9 3 に、それぞれ NMOS トランジスタ、PMOS トランジスタ、そしてポリシリコン横方向ダイオードが形成された高周波半導体デバイスの製造プロセスを示している。

## 【 0 0 5 6 】

まず、Si 基板 1 上に分離酸化膜 2 を形成し、さらにイオン注入をおこなってウェルを形成する。（図 1 8 （a））。

## 【 0 0 5 7 】

次に、ゲート絶縁膜 3 を形成し、さらに不純物無添加のポリシリコン層 4 を形

成する（図 1 8（b））。

【 0 0 5 8 】

次に、レジストパターン 5 1 a を形成し、図中の矢印 A で示すように、N M O S トランジスタのゲート電極となる部分のポリシリコン層 4 に不純物イオンを注入する（図 1 8（c））。このとき同時に、ポリシリコン横方向ダイオードの N 型領域となる部分のポリシリコン層 4 にもイオン注入を行なう。

【 0 0 5 9 】

次に、レジストパターン 5 1 a を除去し、別のレジストパターン（図示せず）を使用してポリシリコン層 4 のパターニングを行なう（図 1 9（a））。パターニングにより、N M O S トランジスタのゲート電極、P M O S トランジスタのゲート電極およびポリシリコン横方向ダイオードとなる部分のポリシリコン層 4 が残される。

【 0 0 6 0 】

次に、レジストパターン 5 2 a を形成し、図中の矢印 B で示すように、N M O S トランジスタのソース／ドレインに L D D 構造を形成するためのイオン注入を行なう（図 1 9（b））。

【 0 0 6 1 】

さらに、レジストパターン 5 2 a を除去し、別のレジストパターン 5 3 a を形成して、図中の矢印 C で示すように、P M O S トランジスタのソース／ドレインに L D D 構造を形成するためのイオン注入を行なう（図 1 9（c））。

【 0 0 6 2 】

次に、レジストパターン 5 3 a を除去し、ポリシリコン層 4 の側面に絶縁膜サイドウォール 5 を形成する（図 2 0（a））。

【 0 0 6 3 】

その後、レジストパターン 5 4 a を形成し、図中の矢印 D で示すように、N M O S トランジスタのソース／ドレインにイオン注入を行なう（図 2 0（b））。

【 0 0 6 4 】

次に、レジストパターン 5 4 a を除去し、別のレジストパターン 5 5 a を形成して、図中の矢印 E で示すように、P M O S トランジスタのソース／ドレインに

イオン注入を行なう（図20（c））。このとき同時に、ポリシリコン横方向ダイオードのP型領域にもイオン注入を行なう。

【0065】

以後は、実施の形態4と同一の工程で、サリサイドの層、層間絶縁膜、コンタクト、金属配線などを形成すればよい。

【0066】

以上の説明では、PMOSトランジスタのソース／ドレインにイオン注入を行なう工程が、PMOSトランジスタのゲート電極への不純物イオンの注入を行なう工程を兼ねるものとしているが、PMOSトランジスタのゲート電極への不純物イオンの注入を、NMOSトランジスタのゲート電極への不純物イオン注入（図18（c））の直後または直前に行なうようにしてもよい。

【0067】

実施の形態6

実施の形態1、2および3の高周波半導体デバイスのさらに他の製造プロセスを、図21、22、23および24により説明する。図21、22、23および24は、Si基板1上のNMOS形成領域91、PMOS形成領域92、ダイオード形成領域93およびキャパシタ形成領域94に、それぞれNMOSトランジスタ、PMOSトランジスタ、ポリシリコン横方向ダイオード、そしてポリシリコン間絶縁膜キャパシタが形成された高周波半導体デバイスの製造プロセスを示している。

【0068】

まず、Si基板1上に分離酸化膜2を形成し、さらにイオン注入をおこなってウェルを形成する。（図21（a））。

【0069】

次に、N型の不純物を添加したポリシリコン層14を形成する（図21（b））。

【0070】

このポリシリコン層14のパターニングを行なう（図21（c））。このパターニングにより、ポリシリコン間絶縁膜キャパシタの下部電極、およびポリシリ

コン横方向ダイオードとなる部分のポリシリコン層 1 4 が残される。

【 0 0 7 1 】

次に、ポリシリコン間絶縁膜キャパシタの絶縁膜 1 5 を堆積させ、パターニングを行なう（図 2 2 （ a ））。

【 0 0 7 2 】

つづいて、ゲート絶縁膜 3 を形成したのち、不純物無添加のポリシリコン層 2 4 を形成する。NMOS トランジスタのゲート電極となる部分のポリシリコン層 2 4 に、レジストパターン越しに不純物イオンを注入し、その後パターニングを行なって、NMOS トランジスタのゲート電極、PMOS トランジスタのゲート電極およびポリシリコン間絶縁膜キャパシタの上部電極となる部分のポリシリコン層 2 4 だけを残す（図 2 2 （ b ））。

【 0 0 7 3 】

その後、レジストパターン 5 2 b を形成し、図中の矢印 B で示すように、NMOS トランジスタのソース／ドレインに LDD 構造を形成するためのイオン注入を行なう（図 2 2 （ c ））。

【 0 0 7 4 】

次に、レジストパターン 5 2 b を除去し、別のレジストパターン 5 3 b を形成して、図中の矢印 C で示すように、PMOS トランジスタのソース／ドレインに LDD 構造を形成するためのイオン注入を行なう（図 2 3 （ a ））。

【 0 0 7 5 】

次に、レジストパターン 5 3 b を除去し、ポリシリコン層 1 4 、 2 4 の側面に絶縁膜サイドウォール 5 を形成する（図 2 3 （ b ））。

【 0 0 7 6 】

その後、レジストパターン 5 4 b を形成し、図中の矢印 D で示すように、NMOS トランジスタのソース／ドレインにイオン注入を行なう（図 2 4 （ a ））。このとき同時に、ポリシリコン横方向ダイオードの N 型領域にもイオン注入を行なう。

【 0 0 7 7 】

次に、レジストパターン 5 4 b を除去し、別のレジストパターン 5 5 b を形成

して、図中の矢印Eで示すように、PMOSトランジスタのソース／ドレインにイオン注入を行なう（図24（b））。このとき同時に、ポリシリコン横方向ダイオードP型領域にもイオン注入を行なう。

【0078】

その後は、実施の形態4と同一の方法により、サリサイドの層、層間絶縁膜、金属配線、保護膜などを形成すればよい。

【0079】

以上の説明では、PMOSトランジスタのソース／ドレインにイオン注入を行なう工程が、PMOSトランジスタのゲート電極への不純物イオンの注入を行なう工程を兼ねるものとしているが、PMOSトランジスタのゲート電極への不純物イオンの注入を、NMOSトランジスタのゲート電極への不純物イオン注入（図22（b））の直後または直前に行なうようにしてもよい。

【0080】

#### 実施の形態7

実施の形態1、2および3の高周波半導体デバイスの製造プロセスのさらにまた別の例を、図25、26、27および28により説明する。図25、26、27および28は、Si基板1上のNMOS形成領域91、PMOS形成領域92、ダイオード形成領域93およびキャパシタ形成領域94に、それぞれNMOSトランジスタ、PMOSトランジスタ、ポリシリコン横方向ダイオード、そしてポリシリコン間絶縁膜キャパシタが形成された高周波半導体デバイスの製造プロセスを示している。

【0081】

まず、Si基板1上に分離酸化膜2を形成し、さらにイオン注入をおこなってウェルを形成する。（図25（a））。

【0082】

次に、N型の不純物を添加したポリシリコン層14を形成する（図25（b））。

【0083】

このポリシリコン層14のパターニングを行なう（図25（c））。このパタ

ーニングにより、ポリシリコン間絶縁膜キャパシタの下部電極、およびポリシリコン横方向ダイオードとなる部分のポリシリコン層 1 4 が残される。

【 0 0 8 4 】

次に、ポリシリコン間絶縁膜キャパシタの絶縁膜 1 5 を堆積させ、パターニングを行なう（図 2 6 （a））。このとき、ポリシリコン横方向ダイオードとなる部分のポリシリコン層 1 4 のうち、PN 接合部となる部分の上層にも絶縁膜 1 5 を残すようにする。

【 0 0 8 5 】

つづいて、ゲート絶縁膜 3 を形成したのち、不純物無添加のポリシリコン層 2 4 を形成する。NMOS トランジスタのゲート電極となる部分のポリシリコン層 2 4 に、レジストパターン越しに不純物イオンを注入し、その後パターニングを行なって、NMOS トランジスタのゲート電極、PMOS トランジスタのゲート電極およびポリシリコン間絶縁膜キャパシタの上部電極となる部分のポリシリコン層 2 4 だけを残す（図 2 6 （b））。このとき、ポリシリコン横方向ダイオードとなる部分のポリシリコン層 1 4 のうち、PN 接合部となる部分の上方にもポリシリコン層 2 4 を残すようにする。

【 0 0 8 6 】

その後、レジストパターン 5 2 c を形成し、図中の矢印 B で示すように、NMOS トランジスタのソース／ドレインに LDD 構造を形成するためのイオン注入を行なう（図 2 6 （c））。

【 0 0 8 7 】

次に、レジストパターン 5 2 c を除去し、別のレジストパターン 5 3 c を形成して、図中の矢印 C で示すように、PMOS トランジスタのソース／ドレインに LDD 構造を形成するためのイオン注入を行なう（図 2 7 （a））。

【 0 0 8 8 】

次に、レジストパターン 5 3 c を除去し、ポリシリコン層 1 4 、2 4 の側面に絶縁膜サイドウォール 5 を形成する（図 2 7 （b））。

【 0 0 8 9 】

その後、レジストパターン 5 4 c を形成し、図中の矢印 D で示すように、NM

OSトランジスタのソース／ドレインにイオン注入を行なう（図28（a））。このとき同時に、ポリシリコン横方向ダイオードのN型領域にもイオン注入を行なう。

## 【0090】

次に、レジストパターン54cを除去し、別のレジストパターン55cを形成して、図中の矢印Eで示すように、PMOSトランジスタのソース／ドレインにイオン注入を行なう（図28（b））。このとき同時に、ポリシリコン横方向ダイオードのP型領域にもイオン注入を行なう。

## 【0091】

その後は、実施の形態4と同一の方法により、サリサイドの層、層間絶縁膜、金属配線、保護膜などを形成すればよい。

## 【0092】

以上の説明では、PMOSトランジスタのソース／ドレインにイオン注入を行なう工程が、PMOSトランジスタのゲート電極への不純物イオンの注入を行なう工程を兼ねるものとしているが、PMOSトランジスタのゲート電極への不純物イオンの注入を、NMOSトランジスタのゲート電極への不純物イオン注入（図26（c））の直後または直前に行なうようにしてもよい。

## 【0093】

## 実施の形態8

上述の実施の形態4、5、6および8におけるポリシリコン横方向ダイオードの形成方法について、図29、30、31および32を用いて詳説する。

## 【0094】

図29（a）はポリシリコン横方向ダイオードの断面を、図29（b）はその上面を表わしている。Si基板81上に形成された分離酸化膜82の上に、非常に高濃度にP型不純物を添加したP++領域85aと、非常に高濃度にN型不純物を添加したN++領域86aとからなるポリシリコン横方向ダイオードが形成されている。ポリシリコン横方向ダイオードは、コンタクト88を介して金属配線89に接続されている。

## 【0095】

このようなポリシリコン横方向ダイオードは、まず領域 8 5 a をレジストパターン（たとえば実施の形態 4 におけるレジストパターン 5 4）で覆い、領域 8 6 a に高濃度に N 型不純物のイオンを注入し、次に、今度は領域 8 6 a をレジストパターン（たとえば実施の形態 4 におけるレジストパターン 5 5）で覆い、領域 8 5 a に高濃度に P 型不純物のイオンを注入することにより形成することができる。N 型および P 型不純物のイオン注入が逆の順序であってもよいことはいうまでもない。

## 【 0 0 9 6 】

図 3 0 ( a ) はポリシリコン横方向ダイオードの断面を、図 3 0 ( b ) はその上面を表わしている。S i 基板 8 1 上に形成された分離酸化膜 8 2 の上に、非常に高濃度に P 型不純物を添加した P + + 領域 8 5 b 、比較的高濃度に N 型不純物を添加した N + 領域 8 7 b 、非常に高濃度に N 型不純物を添加した N + + 領域 8 6 b とからなるポリシリコン横方向ダイオードが形成されている。ポリシリコン横方向ダイオードは、コンタクト 8 8 を介して金属配線 8 9 に接続されている。

## 【 0 0 9 7 】

このようなポリシリコン横方向ダイオードは、まず領域 8 5 b 、 8 7 b および 8 6 b の全体を比較的高濃度に N 型不純物を添加したポリシリコンから形成し、次に領域 8 5 b および 8 7 b をレジストパターンで覆い、領域 8 6 b に高濃度に N 型不純物のイオンを注入し、さらに、今度は領域 8 7 b および 8 6 b をレジストパターンで覆い、領域 8 5 b に高濃度に P 型不純物のイオンを注入することにより形成することができる。N 型および P 型不純物のイオン注入が逆の順序であってもよいことはいうまでもない。

## 【 0 0 9 8 】

また、実施の形態 7 においては、レジストパターンを用いず、ポリシリコン横方向ダイオードの P N 接合部の上方に残したポリシリコン層 2 4 および／または絶縁膜 1 5 を使用して、領域 8 7 b と領域 8 6 b との境界および領域 8 7 b と領域 8 5 b との境界を定めてもよい。レジストパターンの重ね合せずれによる領域 8 7 b の寸法のばらつきが生じることがなく、常に一定の寸法の領域 8 7 b を得ることができ、ダイオード特性のばらつきをなくし高信頼度の高周波半導体デバ

イスを実現することが可能になる。

#### 【0099】

図31(a)はポリシリコン横方向ダイオードの断面を、図31(b)はその上面を表わしている。Si基板81上に形成された分離酸化膜82の上に、非常に高濃度にP型不純物を添加したP++領域85c、不純物が無添加の領域87c、非常に高濃度にN型不純物を添加したN++領域86cとからなるポリシリコン横方向ダイオードが形成されている。ポリシリコン横方向ダイオードは、コンタクト88を介して金属配線89に接続されている。

#### 【0100】

このようなポリシリコン横方向ダイオードは、まず領域85c、87cおよび86cの全体を不純物を添加していないポリシリコンから形成し、次に領域85cおよび87cをレジストパターンで覆い、領域86cに高濃度にN型不純物のイオンを注入し、さらに、今度は領域87cおよび86cをレジストパターンで覆い、領域85cに高濃度にP型不純物のイオンを注入することにより形成することができる。N型およびP型不純物のイオン注入が逆の順序であってもよいこととはいうまでもない。

#### 【0101】

また、実施の形態7に示したように、ポリシリコン横方向ダイオードのPN接合部の上方にポリシリコン層24および／または絶縁膜15を残し、レジストパターンの代わりにこのポリシリコン層24および／または絶縁膜15を使用して、領域87cと領域86cとの境界および領域87cと領域85cとの境界を定めてもよい。レジストパターンの重ね合せずれによる領域87cの寸法のばらつきが生じることがなく、常に一定の寸法の領域87cを得ることができ、ダイオード特性のばらつきをなくし高信頼度の高周波半導体デバイスを実現することが可能になる。

#### 【0102】

図32(a)はポリシリコン横方向ダイオードの断面を、図32(b)はその上面を表わしている。Si基板81上に形成された分離酸化膜82の上に、非常に高濃度にP型不純物を添加したP++領域85d、P型不純物とN型不純物と

がともに高濃度に添加された領域 87d、非常に高濃度に N 型不純物を添加した N++ 領域 86d とからなるポリシリコン横方向ダイオードが形成されている。ポリシリコン横方向ダイオードは、コンタクト 88 を介して金属配線 89 に接続されている。

#### 【0103】

このようなポリシリコン横方向ダイオードは、まず領域 85d をレジストパターンで覆い、領域 87d および 86d に高濃度に N 型不純物のイオンを注入し、さらに、今度は領域 86d をレジストパターンで覆い、領域 85d および 87d に高濃度に P 型不純物のイオンを注入することにより形成することができる。領域 87d の不純物の濃度は、注入された N 型不純物のイオンと P 型不純物のイオンとの濃度の差によって決定される。なお、N 型および P 型不純物のイオン注入が逆の順序であってもよいことはいうまでもない。

#### 【0104】

##### 実施の形態 9

すでに説明したように、本発明においては、高周波入出力信号線と外部供給電源 VDD との間および／または高周波入出力信号線と外部接地電圧 GND との間にポリシリコン横方向ダイオード 38、37 を接続し、信号線に正の高電圧 ESD サージが入った場合は外部供給電源 VDD に、負の高電圧 ESD サージが入った場合には外部接地電圧 GND に、それぞれ高電圧のサージを逃がし、内部回路 100 が ESD によって破壊されることを防いでいる。

#### 【0105】

このようなポリシリコン横方向ダイオードによる ESD 保護回路を備えた高周波半導体デバイスにおいて、さらに図 33 に示すように、外部供給電源 VDD と外部接地電圧 GND との間に MOS トランジスタを使用した保護回路が配置されている場合を考える。

#### 【0106】

図 33 において、N 型 MOS トランジスタ (NMOS) 46 のゲート、ソースおよび P ウェルは外部接地電圧 GND に接地され、ドレインが P 型 MOS トランジスタ (PMOS) 47 のドレインに接続されている。一方、PMOS 47 のゲ

ート、ソースおよびNウェルは、外部供給電源VDDに接続されている。

【0107】

高周波信号信号入出力パッド30aに入った正の高電圧ESDサージは、ポリシリコン横方向ダイオード38の動作によってVDDへと逃がされる。VDDに流入したこの正電圧サージは、オフ状態にあるPMOS47のソースへと印加され、ソース拡散層のPN接合がブレイクダウンを生じることにより前述の寄生バイポーラ動作を起こし、電流がGNDへと流れる。

【0108】

このとき、VDDおよび高周波入出力信号線の電位は、PMOS47のソース拡散層のPN接合のブレイクダウン電圧値まで上昇することになる。したがって、高周波入出力信号線とGNDとの間に接続されているポリシリコン横方向ダイオード37には、シリコン(Si)のPN接合のブレイクダウン電圧値にあたる高電圧が、逆方向に印加されることになる(高周波信号信号入出力パッド30aに負の高電圧ESDサージが入った場合も同様に、ポリシリコン横方向ダイオード38に逆方向の電圧が印加される)。

【0109】

ここで、ポリシリコン横方向ダイオードは、欠陥を多く含み、深い順位のトラップが多く存在するポリシリコンを材料としているため、もしこの逆方向の高電圧によってブレイクダウンを起こすと、素子特性の著しい劣化が生じる。したがって、次のESDサージの流入に対しては、保護が行えなくなってしまう。

【0110】

そこで、本実施の形態では、図34に示すように、外部供給電源VDDと外部接地電圧GNDとの間に、ポリシリコン横方向ダイオードの逆方向ブレイクダウン電圧の絶対値よりも小さい電圧にて動作を開始するVDD/GND間クランプ回路48を設ける。

【0111】

VDDへと流入した正電圧のESDサージ45aは、このサージの流入によってVDDの電位が若干上昇することによりONとなる前記VDD/GND間クランプ回路48を介してGNDへと逃がされる(図34(b))。このVDD/G

N D間クランプ回路48の動作開始電圧（ONとなる電圧）が、ポリシリコン横方向ダイオード37の逆方向ブレイクダウン電圧の絶対値よりも小さいため、VDDの電圧がポリシリコン横方向ダイオード37の逆方向ブレイクダウン電圧の絶対値より高くなることはない。したがって高周波入出力信号線の電圧も、ポリシリコン横方向ダイオード37の逆方向ブレイクダウン電圧の絶対値より常に低く保たれる。このため、ポリシリコン横方向ダイオード37が逆方向ブレイクダウンを起こすことはなく、逆方向ブレイクダウンによる素子劣化を防止することができる。

## 【0112】

高周波信号信号入出力パッド30aに入った負の高電圧ESDサージ45bが、ポリシリコン横方向ダイオード37によってGNDへと逃がされる場合についても、まったく同様に、ポリシリコン横方向ダイオード38の逆方向ブレイクダウンを防ぐことができ、素子劣化を防止することができる（図34（c））。

## 【0113】

以上述べたように、本実施の形態によれば、ポリシリコン横方向ダイオードの逆方向ブレイクダウンを防止し、素子劣化を防ぐことができるため、複数回のESDサージの流入に対しても内部回路を保護することが可能である。

## 【0114】

VDD/GND間クランプ回路48の具体的な例を、図35および図36により説明する。

## 【0115】

図35に示す例において、VDD/GND間クランプ回路48は、ESD検波回路75、インバータ76およびNMOSトランジスタ（NMOS）77から構成されている。ESD検波回路75の出力はインバータ76に接続され、インバータ76の出力はNMOS77のゲートに接続されている。NMOS77は、大きなゲート幅を有し、大電流を通電することが可能である。

## 【0116】

ESDサージの流入によるVDD電位の急峻な上昇をESD検波回路75により即座に検波し、インバータ76を介してNMOS77をオンさせ、VDDから

GNDへ大きな電流を流すことが可能である。

【0117】

これにより、VDDおよび高周波入出力信号線の電圧が高電圧となることを防止することが可能となり、高周波入出力信号線とGNDとの間に接続されているポリシリコン横方向ダイオード37に、逆方向ブレークダウン電圧の絶対値より高い電圧が印加されることを防ぐことができる。

【0118】

図36に示す例においては、VDD/GND間クランプ回路48は、 $x$ 個のダイオード78を直列に接続して構成されている。これらのダイオード78は、VDDからGNDへの向きが順方向となるように接続されている。したがって、VDDとGNDとの間の電位差がダイオード78のON電圧の $x$ 倍となったときに、VDDからGNDへ大電流を流すことが可能になる。

【0119】

このとき、ダイオード78のON電圧の $x$ 倍が、ポリシリコン横方向ダイオードの逆方向ブレークダウン電圧より小さくなるように $x$ を選ぶことで、VDDおよび高周波入出力信号線の電圧が、ポリシリコン横方向ダイオードの逆方向ブレークダウン電圧より高くなることを防ぐことができ、ポリシリコン横方向ダイオードの素子特性の劣化を防止することができる。

【0120】

このダイオード78としては、ポリシリコン横方向ダイオードはもちろんのこと、通常のSi基板をもちいて形成したPN接合ダイオードも使用可能である。

【0121】

【発明の効果】

本発明によれば、Si-MOSトランジスタを使用した高周波半導体デバイスの全入出力線のうちの高周波入出力信号線に、ポリシリコン横方向ダイオードをESD保護素子として使用したクランプ回路を設けることにより、対Si基板（ウェル）間の寄生容量を著しく低減し、信号電流がこの寄生容量を介して低抵抗のSi基板に流れ損失してしまう現象を防止し、SiのMOSトランジスタを使用した高機能・高信頼度の高周波半導体デバイスを実現することが可能である。

## 【0122】

また、高周波入出力信号線の電圧値がVDDとGNDとの間の電圧値となるようバイアス回路を設計し、VDDのいかなるばらつきが生じた場合においても、信号線の電圧がVDDより大きくなることのないようにすることにより、従来は大きな問題となっていた、ダイオード型クランプ回路におけるVDDばらつきによるダイオードON現象を解決することが可能となり、ポリシリコン横方向ダイオードをクランプ回路のESD保護素子として使用した高機能・高信頼度の高周波半導体デバイスを実現することが可能である。

## 【0123】

さらに、Si-MOSトランジスタを使用した高周波半導体デバイスの全入出力線のうちの高周波入出力信号線に、ポリシリコン横方向ダイオードをESD保護素子として用いたクランプ回路を設けることにより、ポリシリコン横方向ダイオードの大きな逆バイアスリーク電流が流れても、高周波入出力信号線は直流回路動作としては、バイアスの供給以外は一切行っていないため、リーク電流によって誤動作を生じることではなく、従来問題となっていた、ポリシリコン横方向ダイオードの大きな逆バイアスリーク電流の問題が解決され、ポリシリコン横方向ダイオードをクランプ回路のESD保護素子として使用して高機能・高信頼度の高周波半導体デバイスを実現することが可能である。

## 【0124】

また、クランプ回路のポリシリコン横方向ダイオードはESDのサージが入ったときのみ動作するため、多結晶シリコンゆえの欠陥のために、これまで10年間相当のON/OFF動作に耐えうる信頼性の確保が不可能であったポリシリコン横方向ダイオードの信頼性問題を解決した。

## 【0125】

さらに、複数のダイオードを直列に接続してクランプ回路を構成することにより、各ダイオードに印加される逆方向バイアス電圧をSiのバンドギャップ電圧(1.1[V])よりも小さくすることが可能となり、バンド間トンネル現象の発生を防ぐことができ、ポリシリコン横方向ダイオードの最大の問題点であった、逆方向リーク電流を著しく減少させ、直流消費電流の低減を可能とすること

ができる。

【0126】

ポリシリコン横方向ダイオードをESD保護素子として用いた高周波半導体デバイスにおいて、ポリシリコン横方向ダイオードをポリシリコン間絶縁膜キャパシタの下部電極を形成するためのポリシリコン層から形成し、MOSトランジスタのゲート電極はさらに別のポリシリコン層から形成することにより、ポリシリコン層の膜厚や不純物濃度などの形成条件を、MOSトランジスタおよびポリシリコン横方向ダイオードのそれぞれにとって最適なものとするのが可能となり、MOSトランジスタおよびポリシリコン横方向ダイオードの高信頼度化を同時に実現することが可能となる。

【0127】

また、ポリシリコン横方向ダイオードのPN接合形成部に、キャパシタ上部電極を形成するためのポリシリコン層および／またはキャパシタの絶縁膜層を残すことにより、PN接合形成部のレジストパターンの重ね合わせずれにより発生するダイオード特性のばらつきをなくすることが可能となり、高信頼度の高周波半導体デバイスを実現できる。

【0128】

さらに、ポリシリコン横方向ダイオードのPN接合形成部に、キャパシタ上部電極を形成するためのポリシリコン層および／またはキャパシタの絶縁膜層を残し、P型およびN型のイオン注入をブロックすることにより、PN接合形成部にi領域を形成することが可能となる。しかも、レジストパターンによってi領域を形成する従来の方法では不可避であった、レジストパターン重ね合わせずれによるi領域の長さのばらつきが生じることはなく、常に一定の長さのi領域を得ることができ、安定した高機能PINダイオードを形成することが可能になる。

【0129】

また、ポリシリコン横方向ダイオードの逆方向ブレイクダウン電圧の絶対値よりも小さい電圧値で動作するクランプ回路を、外部供給電源VDDと外部接地電圧GNDとの間に設けたので、ポリシリコン横方向ダイオードの逆方向ブレイクダウンを防止することができ、ポリシリコン横方向ダイオードの素子特性の劣化

を防いで複数回の E S D サージに対し内部回路の保護を行うことが可能となる。

【図面の簡単な説明】

【図 1】 E S D (Electro Static Discharge) の電流波形例を示した図である。

【図 2】 オフ状態にした M O S トランジスタを用いた E S D 保護回路の回路図である。

【図 3】 M O S トランジスタの寄生バイポーラトランジスタ動作を説明する図である。

【図 4】 M O S トランジスタのゲート・コンタクト間距離を説明する図である。

【図 5】 M O S トランジスタのドレイン拡散層容量を介した高周波信号の流出を説明する等価回路である。

【図 6】 本発明による E S D 保護回路の回路構成を示した図である。

【図 7】 ポリシリコン横方向ダイオードの断面を示した図 7 ( a ) と、その上面を示した図 7 ( b ) である。

【図 8】 ポリシリコン横方向ダイオードの電圧－電流特性を示した図である。

【図 9】 対 S i 基板寄生容量および空乏層容量を介した高周波信号の流出を説明する等価回路である。

【図 1 0】 本発明の一実施の形態による E S D 保護回路を示す図である。

【図 1 1】 バンド間トンネル現象における深いトラップ準位の存在の影響を説明する図である。

【図 1 2】 本発明による高周波半導体デバイスの製造プロセスを説明する図である。

【図 1 3】 本発明による高周波半導体デバイスの製造プロセスを説明する図であり、図 1 2 に引き続くプロセスを示した図である。

【図 1 4】 本発明による高周波半導体デバイスの製造プロセスを説明する図であり、図 1 3 に引き続くプロセスを示した図である。

【図 1 5】 本発明による高周波半導体デバイスの製造プロセスを説明する

図であり、図 1 4 に引き続くプロセスを示した図である。

【図 1 6】 本発明による高周波半導体デバイスの製造プロセスを説明する図であり、図 1 5 に引き続くプロセスを示した図である。

【図 1 7】 本発明による高周波半導体デバイスの製造プロセスを説明する図であり、図 1 6 に引き続くプロセスを示した図である。

【図 1 8】 本発明による高周波半導体デバイスの別の製造プロセスを説明する図である。

【図 1 9】 本発明による高周波半導体デバイスの別の製造プロセスを説明する図であり、図 1 8 に引き続くプロセスを示した図である。

【図 2 0】 本発明による高周波半導体デバイスの別の製造プロセスを説明する図であり、図 1 9 に引き続くプロセスを示した図である。

【図 2 1】 本発明による高周波半導体デバイスのまた別の製造プロセスを説明する図である。

【図 2 2】 本発明による高周波半導体デバイスのまた別の製造プロセスを説明する図であり、図 2 1 に引き続くプロセスを示した図である。

【図 2 3】 本発明による高周波半導体デバイスのまた別の製造プロセスを説明する図であり、図 2 2 に引き続くプロセスを示した図である。

【図 2 4】 本発明による高周波半導体デバイスのまた別の製造プロセスを説明する図であり、図 2 3 に引き続くプロセスを示した図である。

【図 2 5】 本発明による高周波半導体デバイスのさらにまた別の製造プロセスを説明する図である。

【図 2 6】 本発明による高周波半導体デバイスのさらにまた別の製造プロセスを説明する図であり、図 2 5 に引き続くプロセスを示した図である。

【図 2 7】 本発明による高周波半導体デバイスのさらにまた別の製造プロセスを説明する図であり、図 2 6 に引き続くプロセスを示した図である。

【図 2 8】 本発明による高周波半導体デバイスのさらにまた別の製造プロセスを説明する図であり、図 2 7 に引き続くプロセスを示した図である。

【図 2 9】 ポリシリコン横方向ダイオードの P N 接合部の形成例を示した図である。

【図 30】 ポリシリコン横方向ダイオードのPN接合部の別の形成例を示した図である。

【図 31】 ポリシリコン横方向ダイオードのPN接合部のまた別の形成例を示した図である。

【図 32】 ポリシリコン横方向ダイオードのPN接合部のさらにまた別の形成例を示した図である。

【図 33】 VDDとGNDの間に、MOSトランジスタを使用した保護回路を備えた例である。

【図 34】 VDDとGNDの間に、本発明の一実施の形態によるクランプ回路を備えた例である。

【図 35】 VDD/GND間クランプ回路の一例を示した図である。

【図 36】 VDD/GND間クランプ回路の別の例を示した図である。

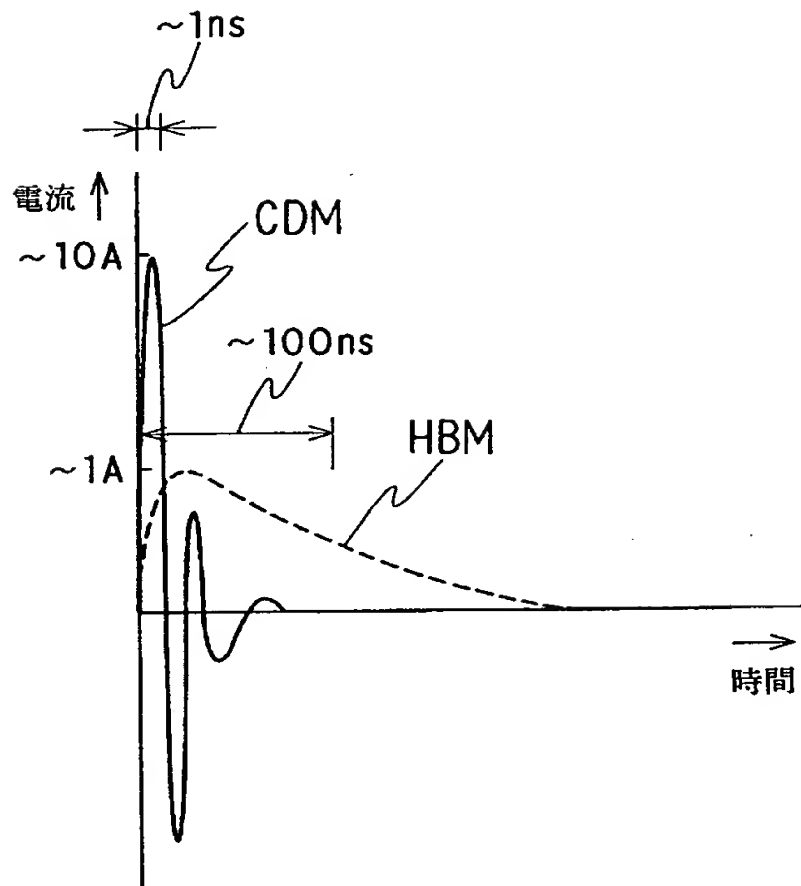
【符号の説明】

1 Si基板、2 分離酸化膜、3 ゲート絶縁膜、4 ポリシリコン層（不純物無添加）、5 絶縁膜サイドウォール、6 サリサイド防止用絶縁膜、7 サリサイドの層、8 層間絶縁膜、9 コンタクトホール、10 コンタクト、11 金属配線、14 ポリシリコン層（N型不純物添加）、15 ポリシリコン間絶縁膜キャパシタの絶縁膜、24 ポリシリコン層（不純物無添加）、30 入出力パッド、31 NMOSトランジスタ、32 PMOSトランジスタ、37 ポリシリコン横方向ダイオード、38 ポリシリコン横方向ダイオード、45 サージ、46 NMOSトランジスタ、47 PMOSトランジスタ、48 VDD/GND間クランプ回路、51 レジストパターン、52 レジストパターン、53 レジストパターン、54 レジストパターン、55 レジストパターン、56 レジストパターン、75 ESD検波回路、76 インバータ、77 NMOSトランジスタ、78 ダイオード、82 分離酸化膜、83 層間絶縁膜、100 内部回路。

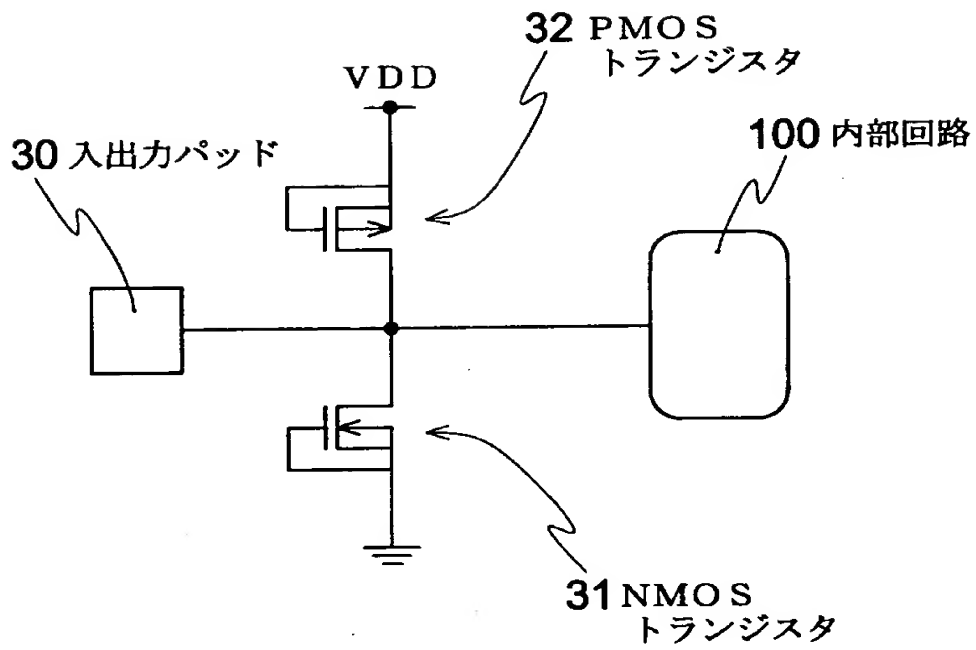
【書類名】

図面

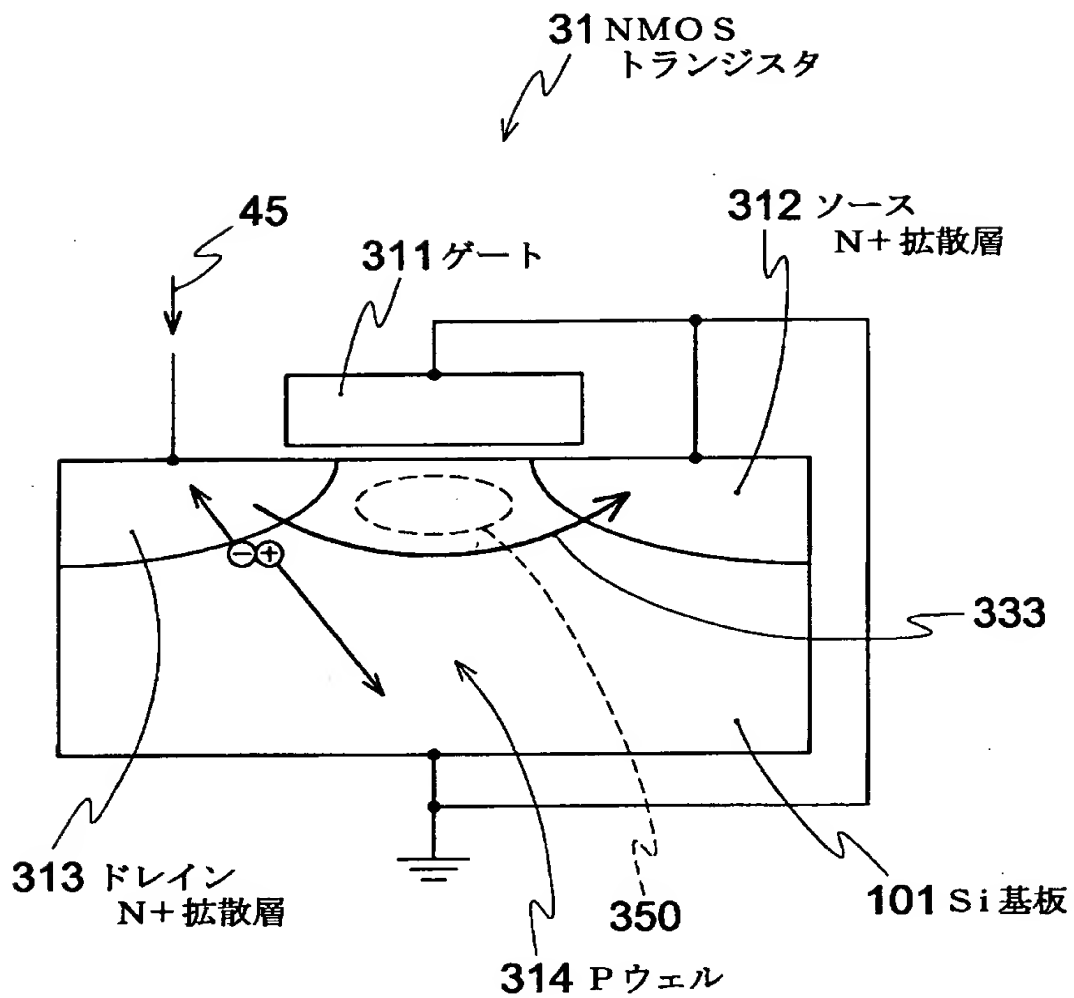
【図1】



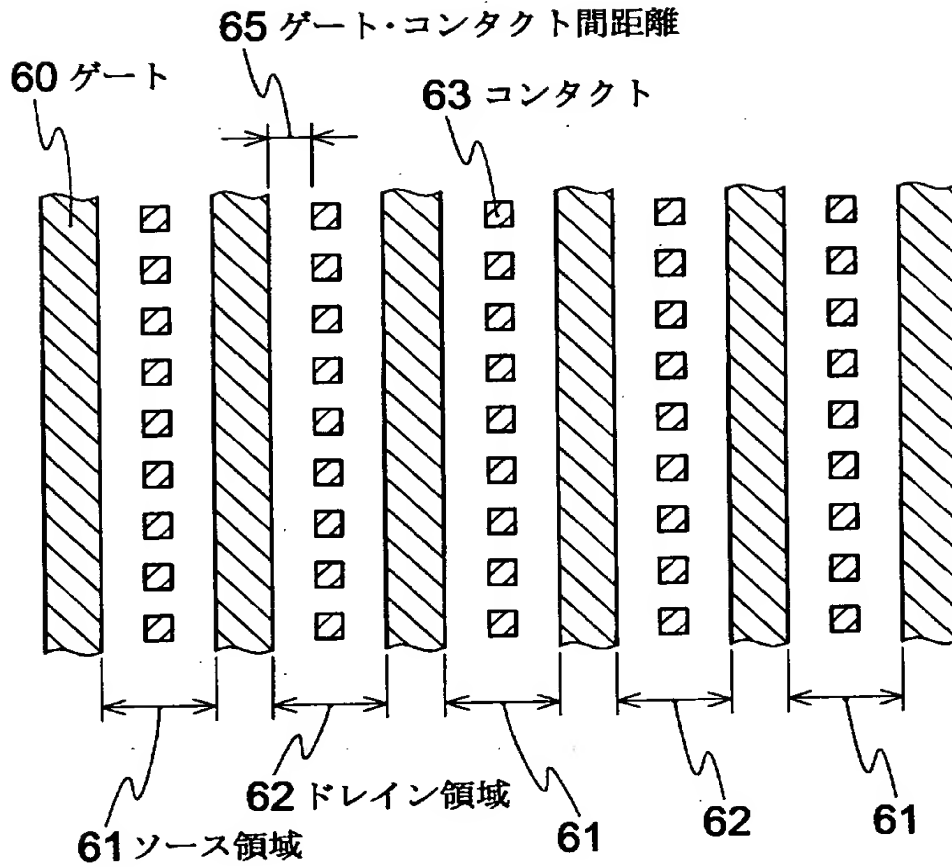
【図 2】



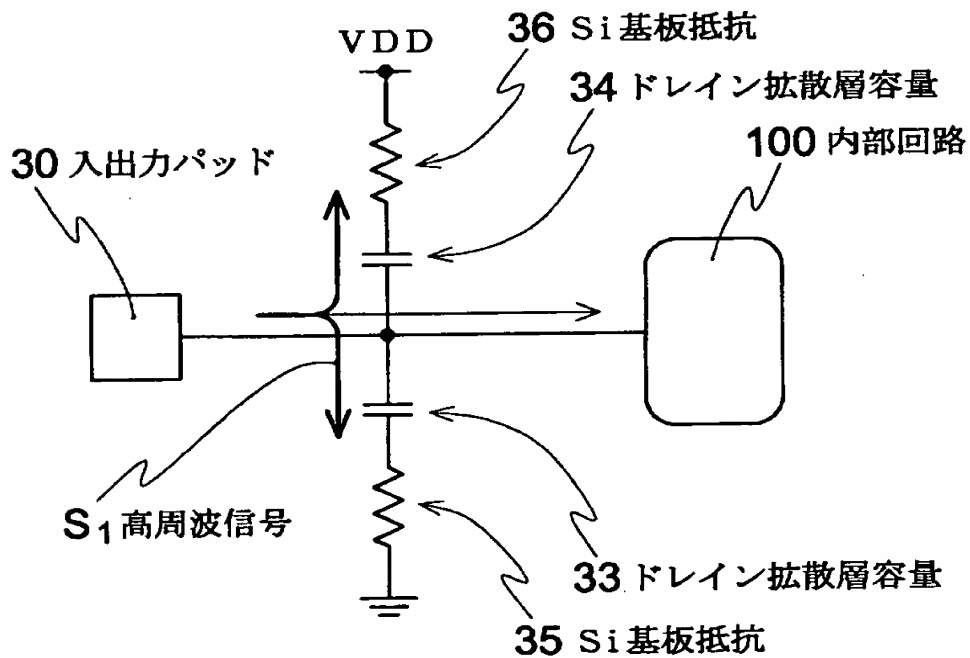
【図 3】



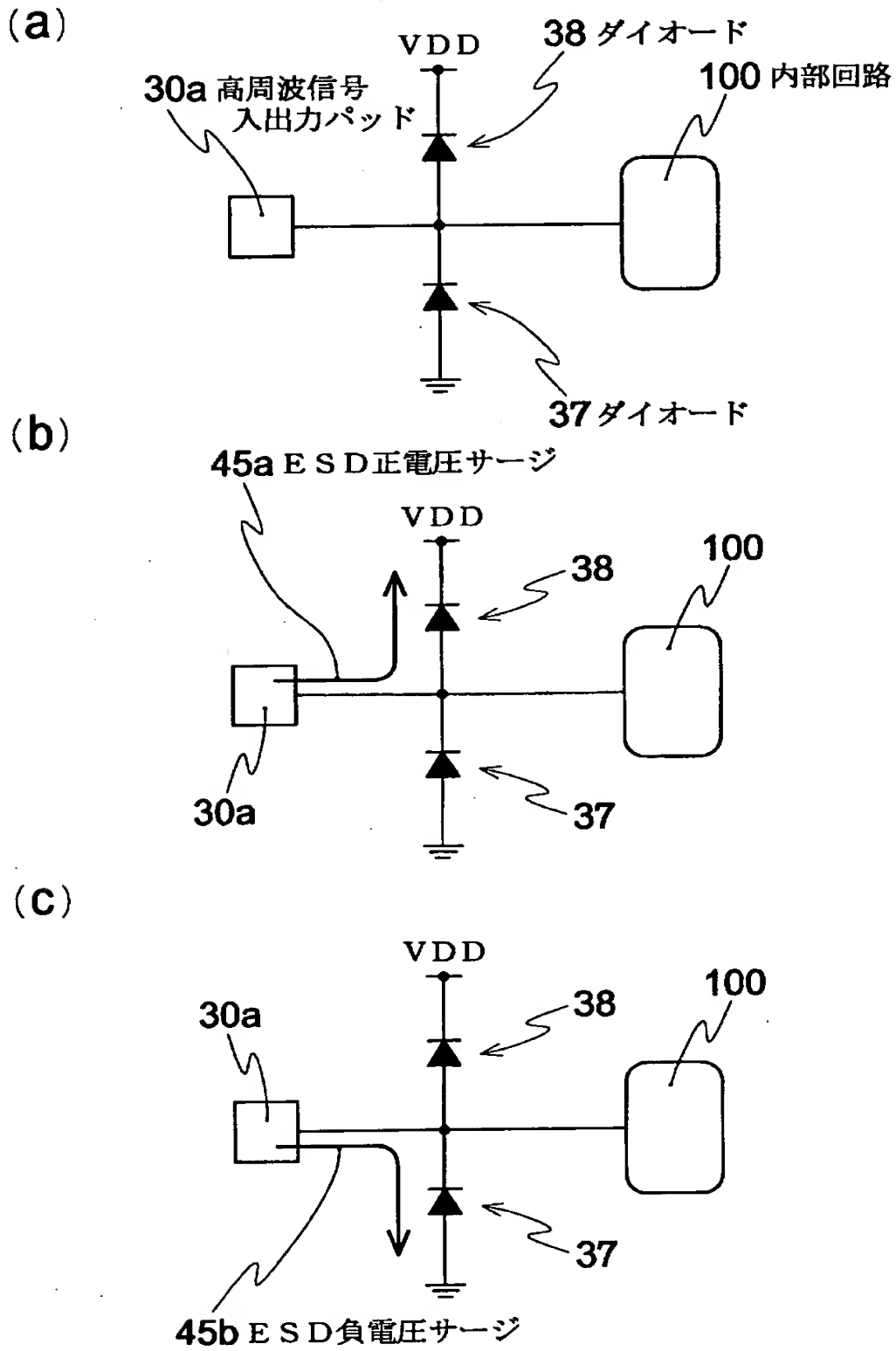
【図 4】



【図 5】

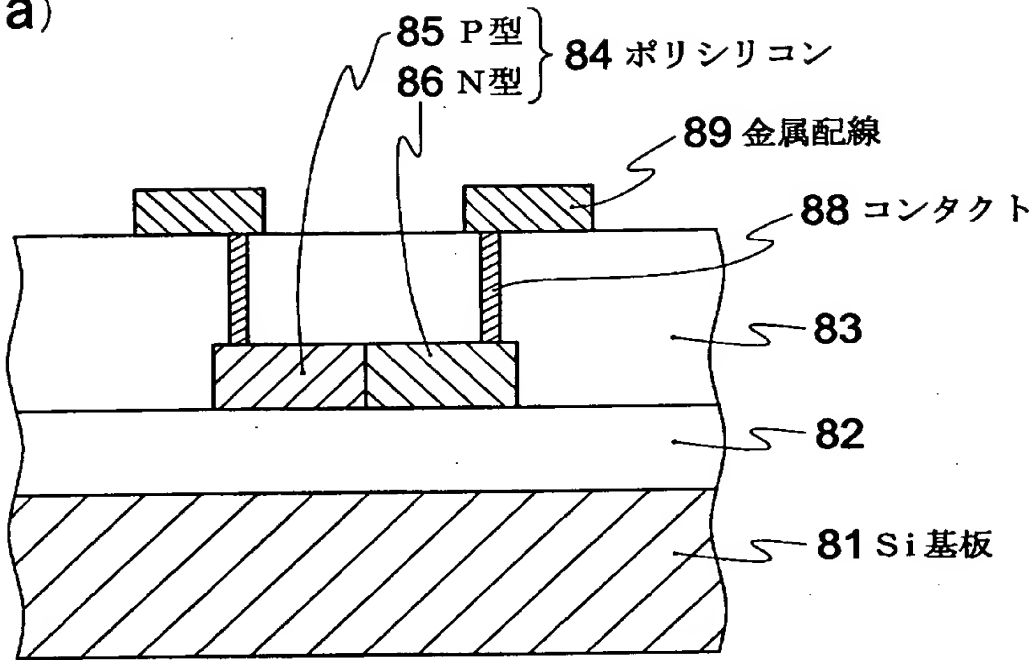


【図 6】

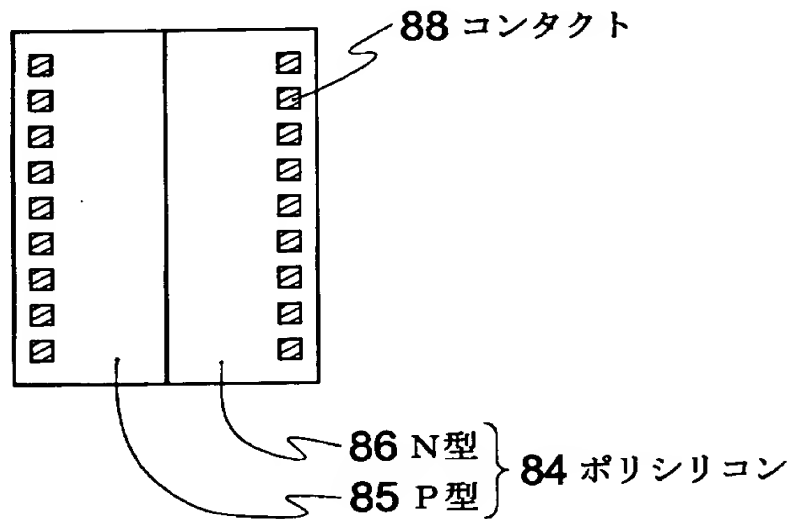


【図 7】

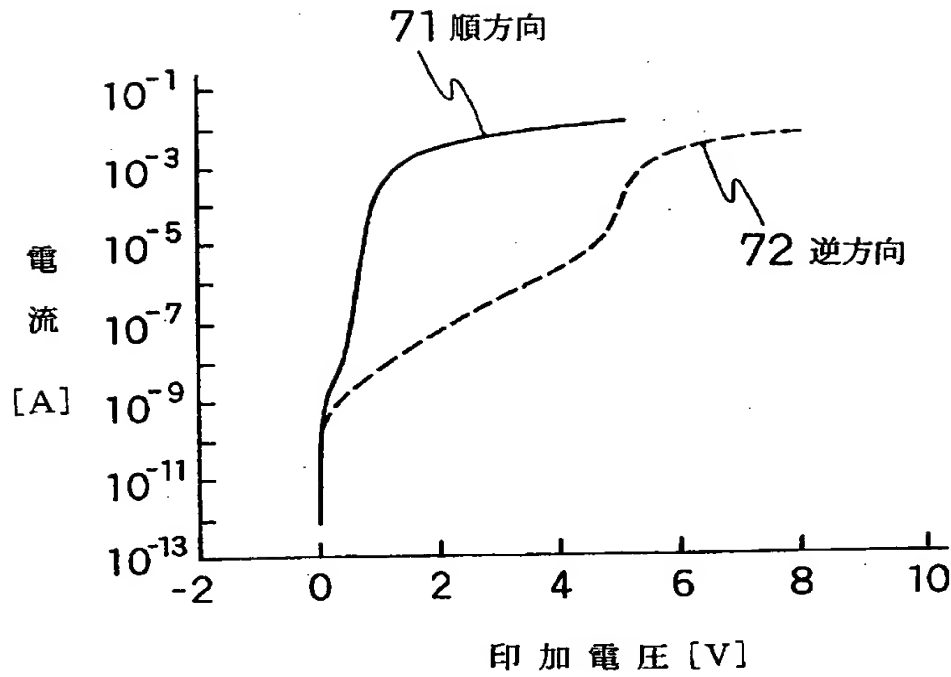
(a)



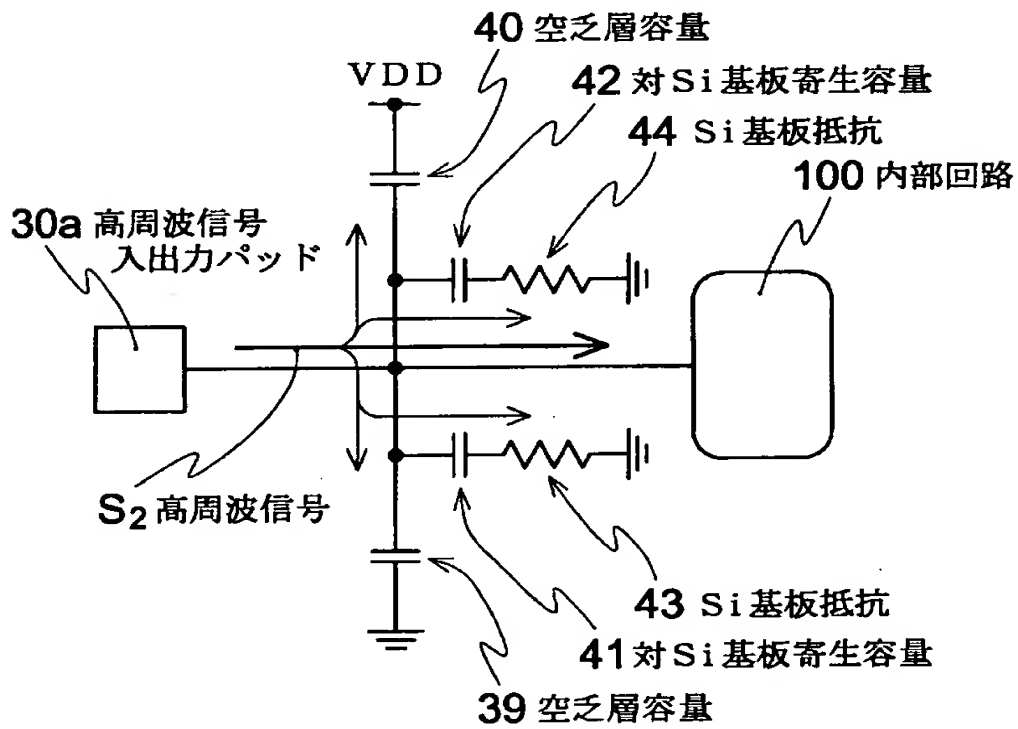
(b)



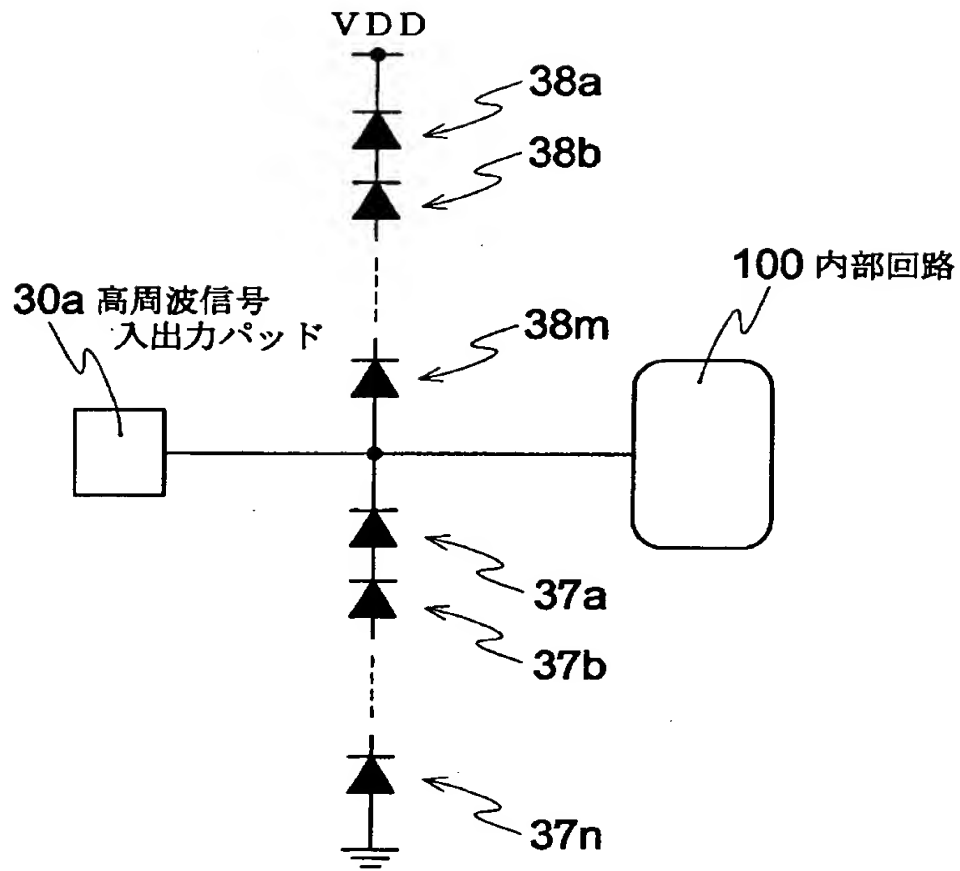
【図 8】



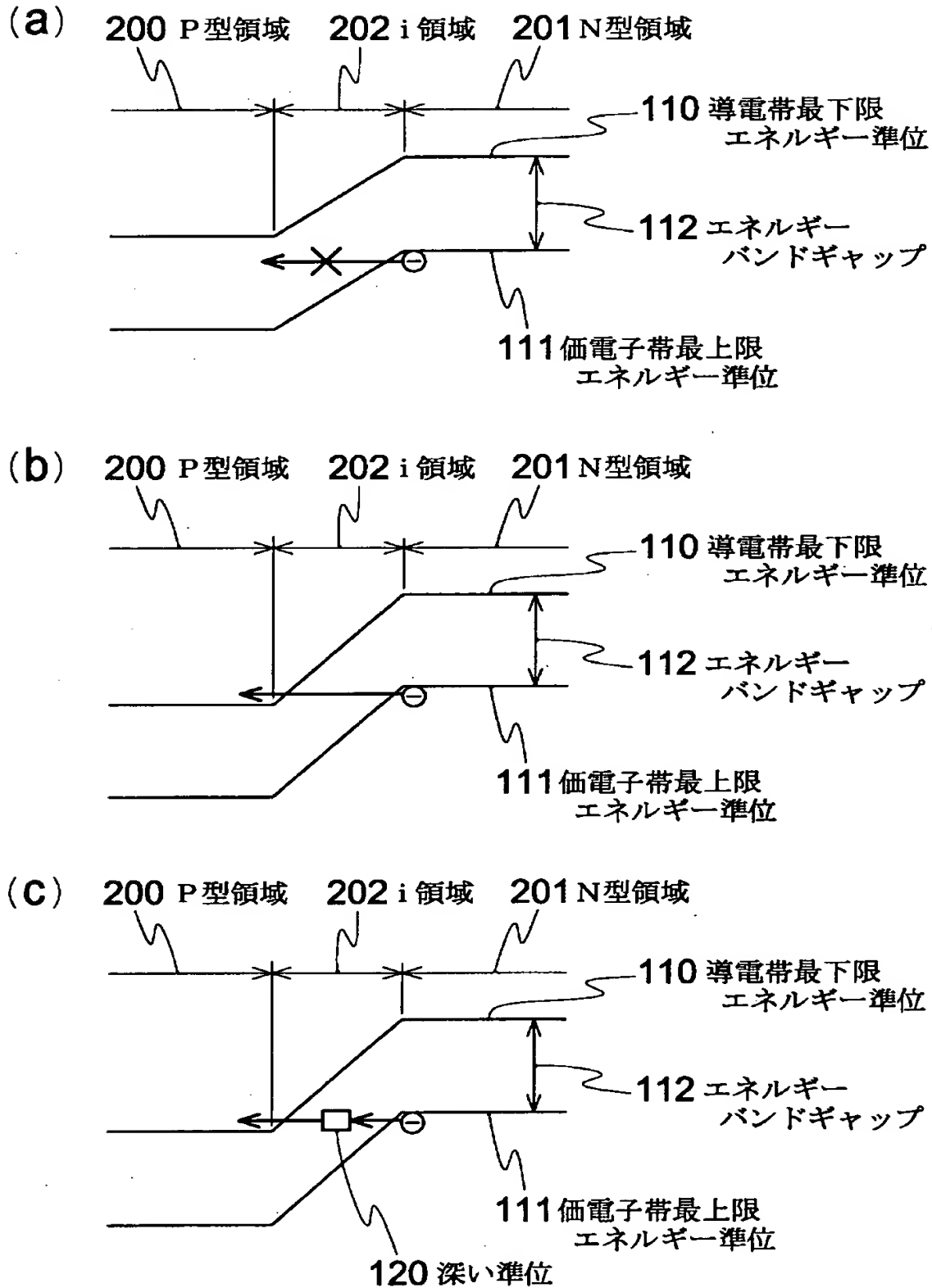
【図 9】



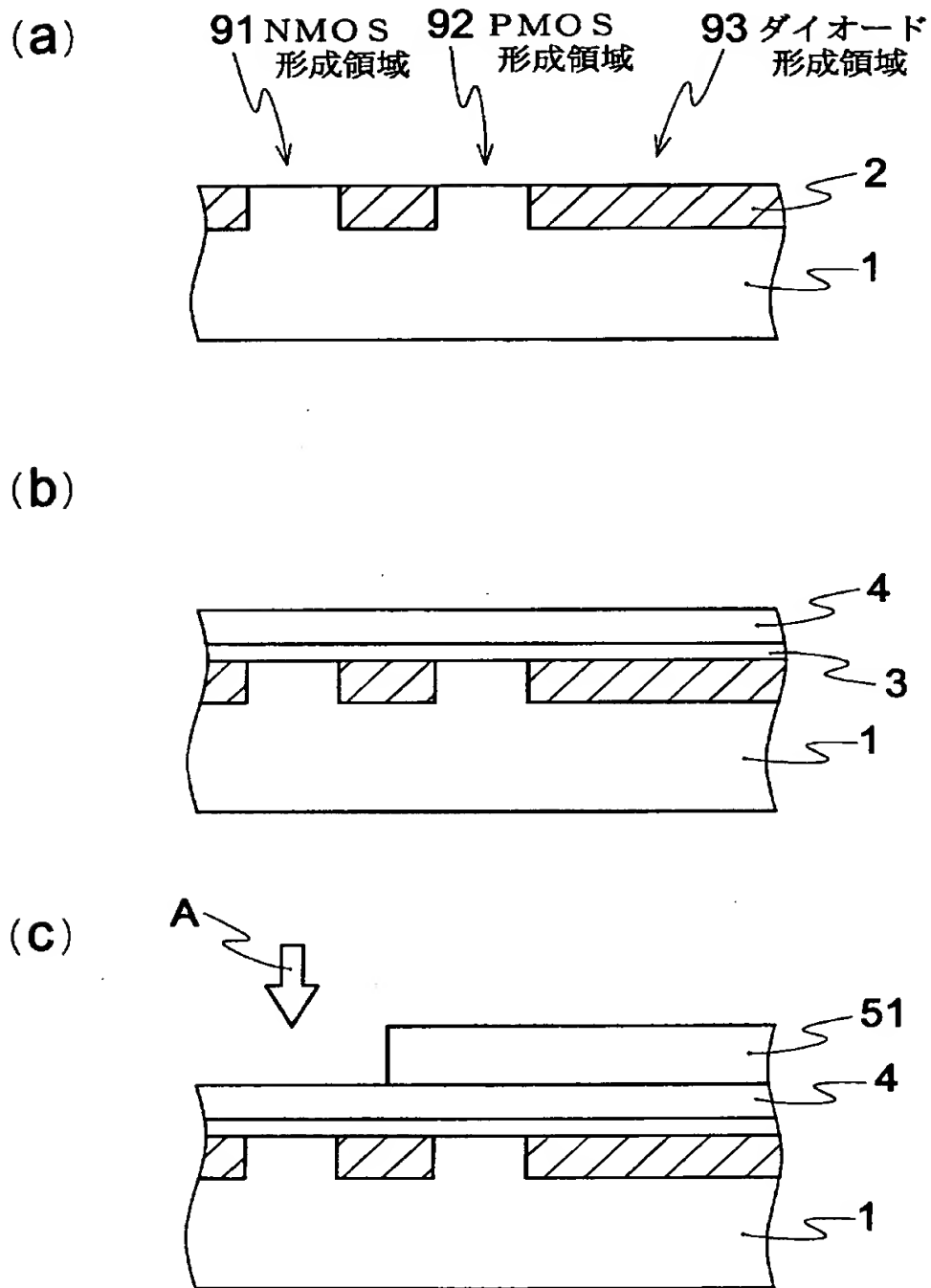
【図 1 0】



【図11】

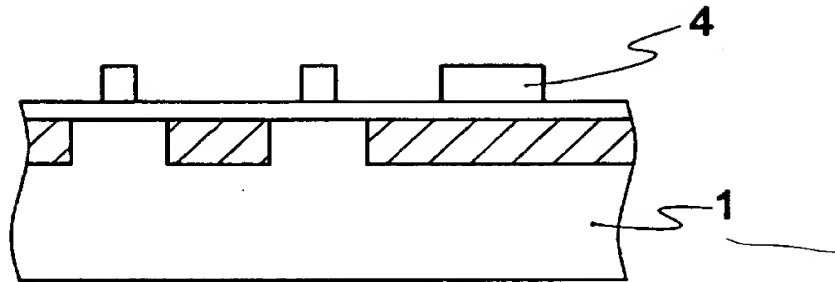


【図12】

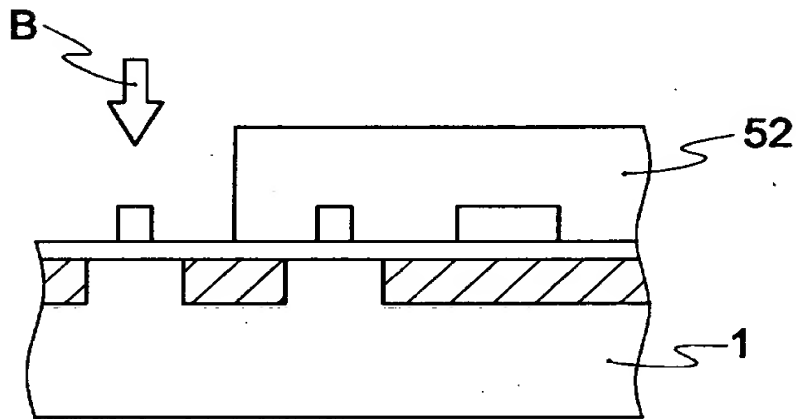


【図13】

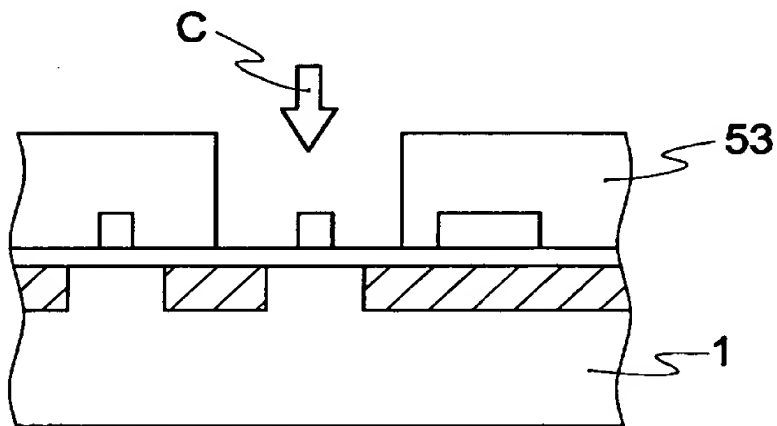
(a)



(b)

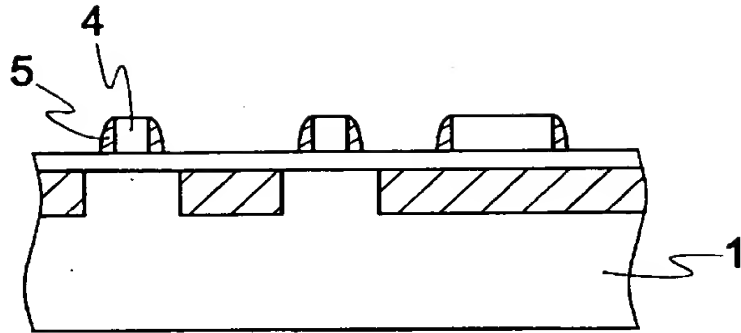


(c)

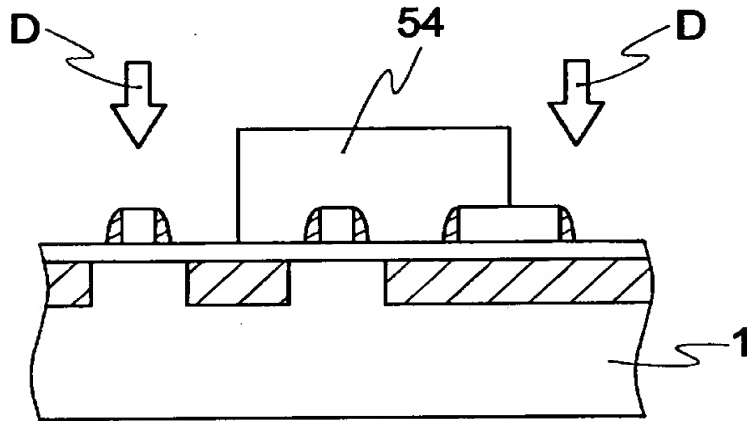


【図14】

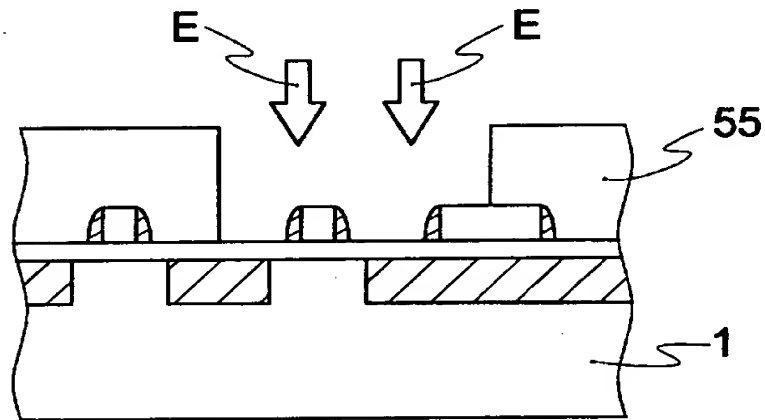
(a)



(b)

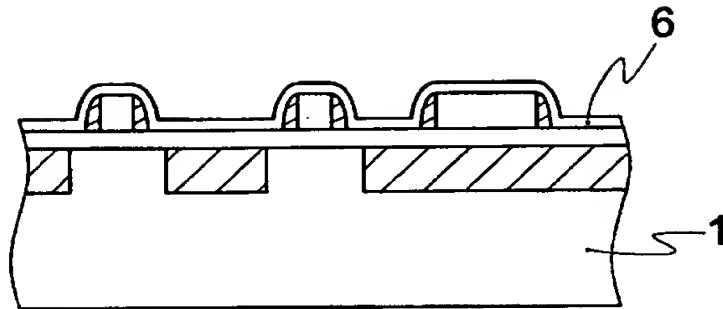


(c)

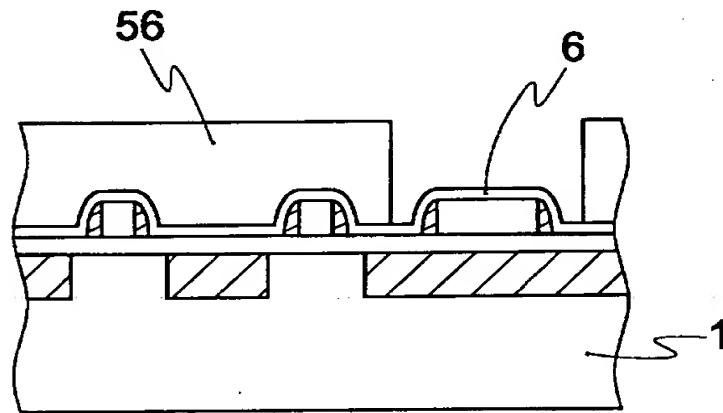


【図15】

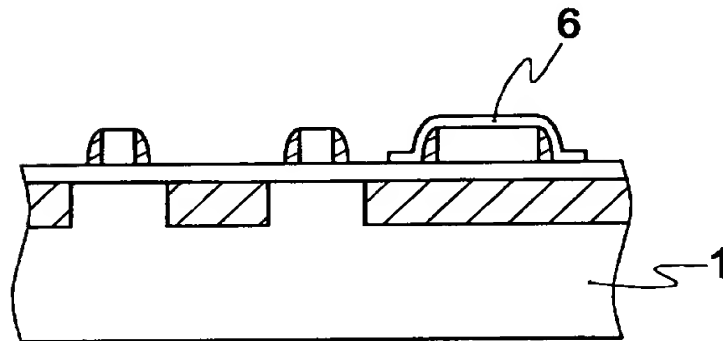
(a)



(b)

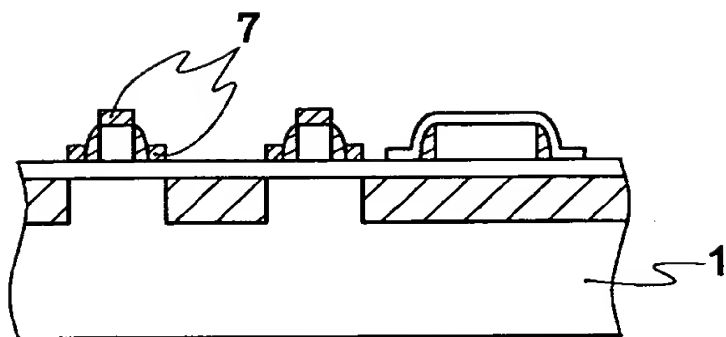


(c)

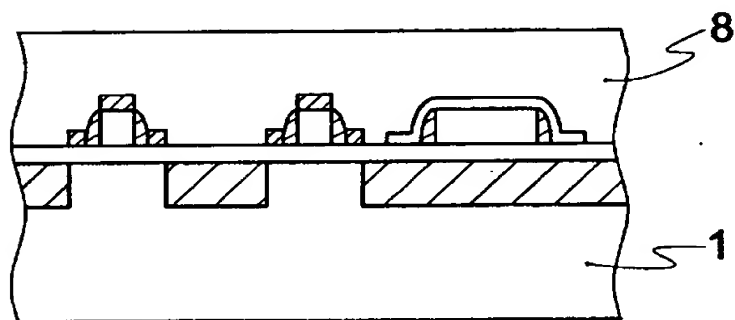


【図 16】

(a)

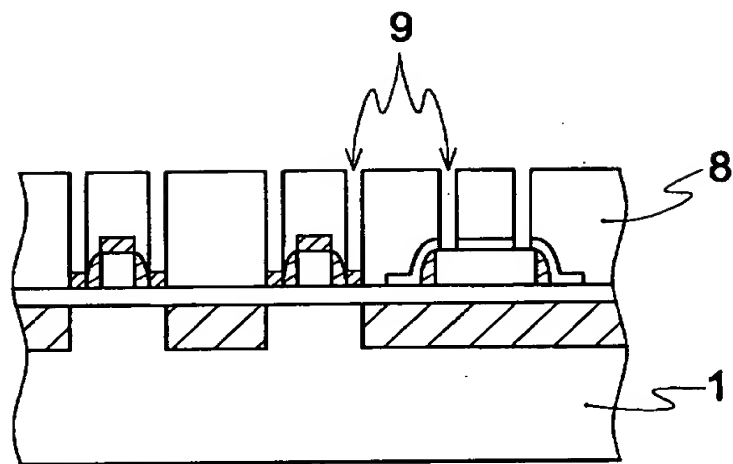


(b)

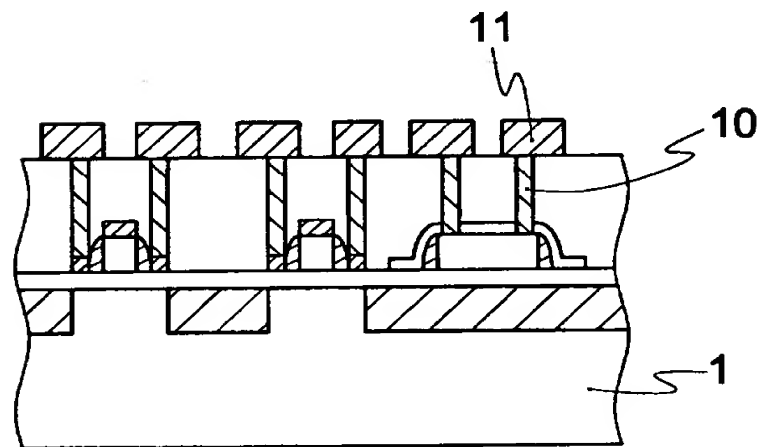


【図 17】

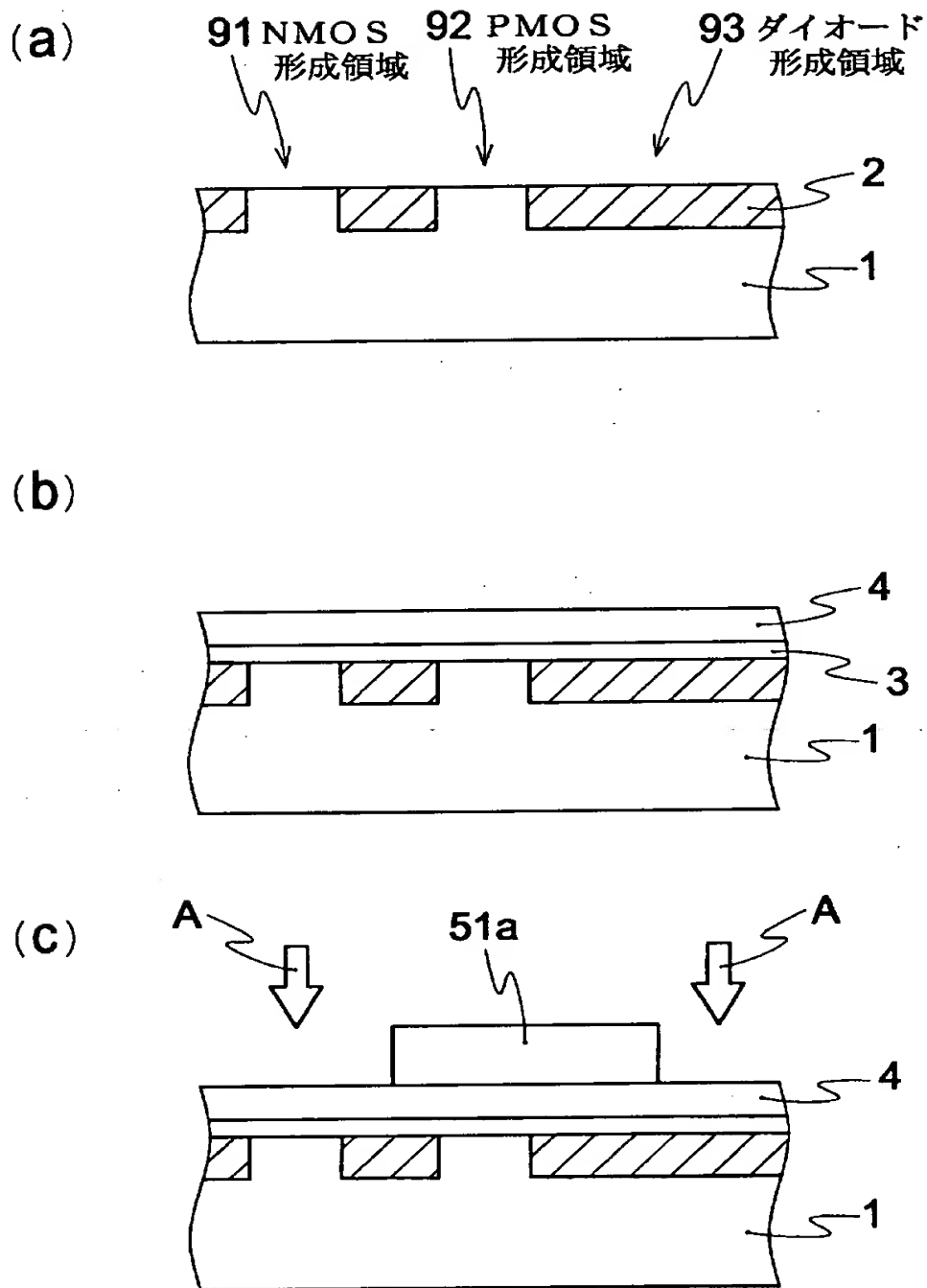
(a)



(b)

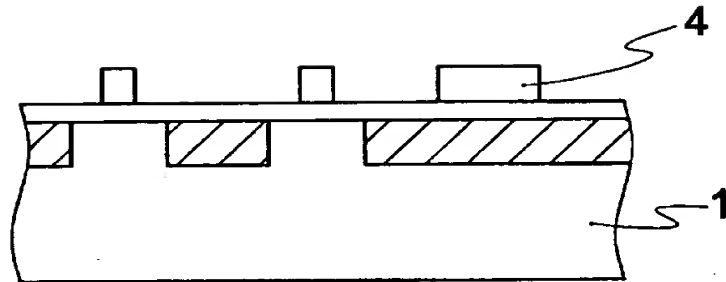


【図18】

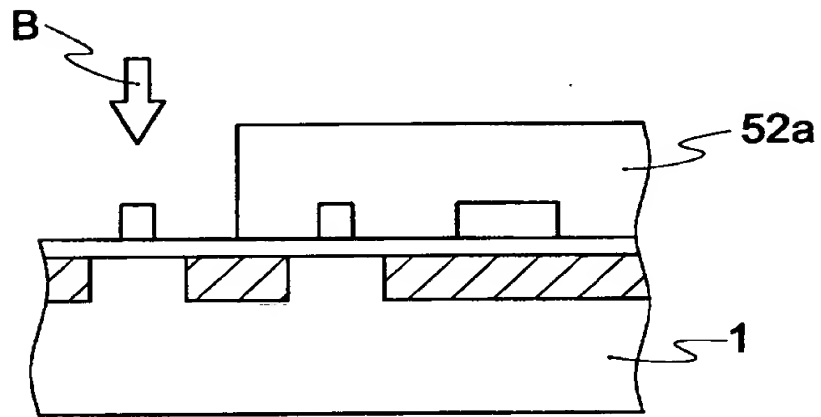


【図19】

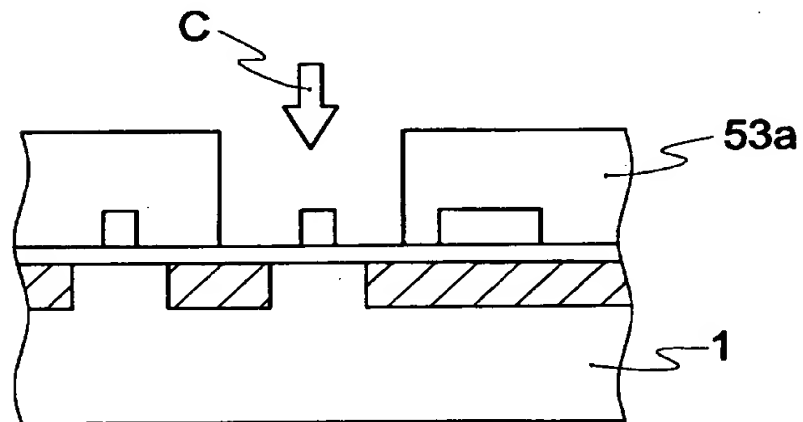
(a)



(b)

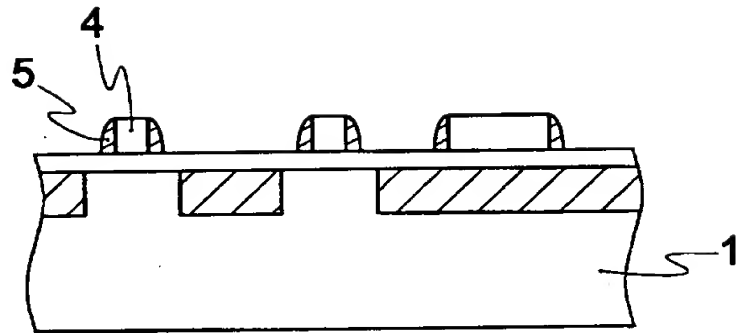


(c)

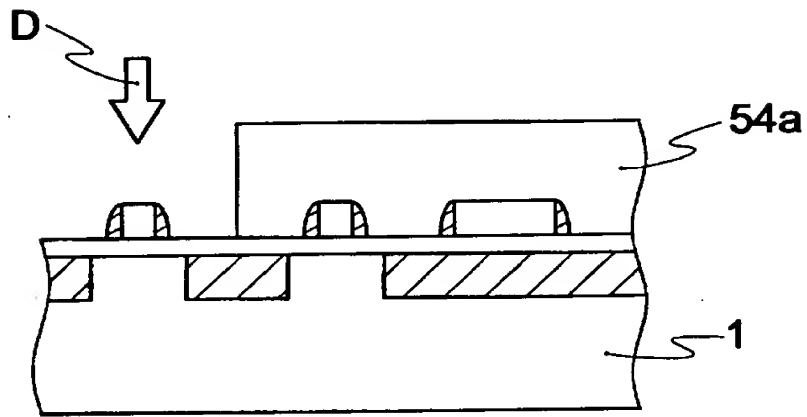


【図20】

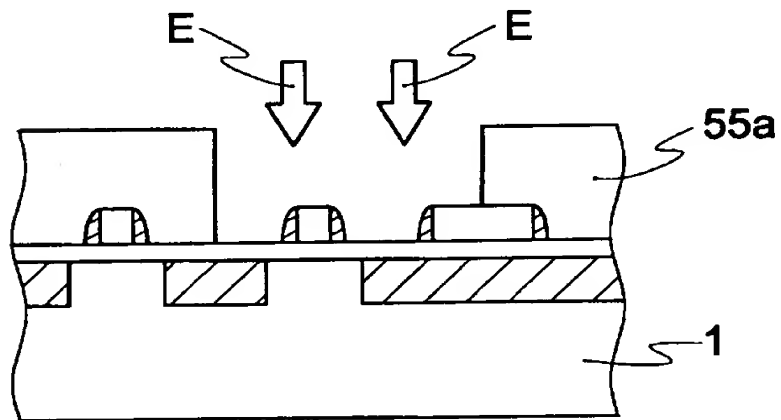
(a)



(b)

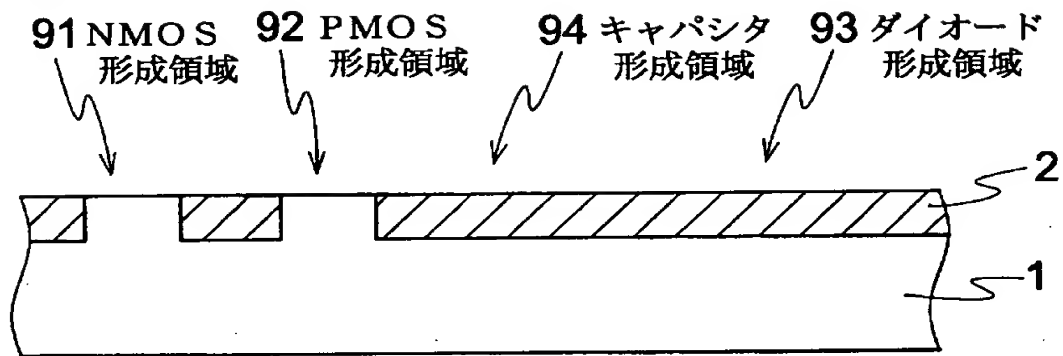


(c)

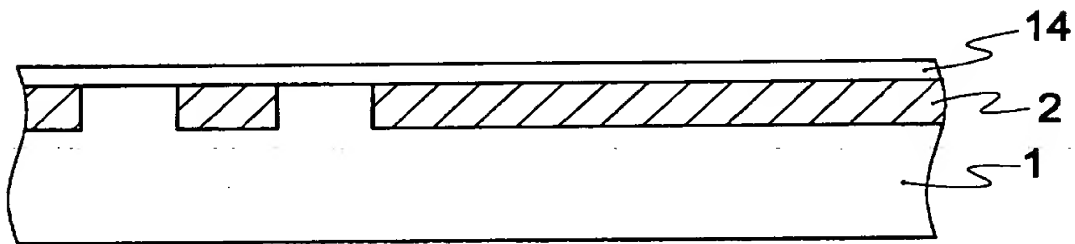


【図 21】

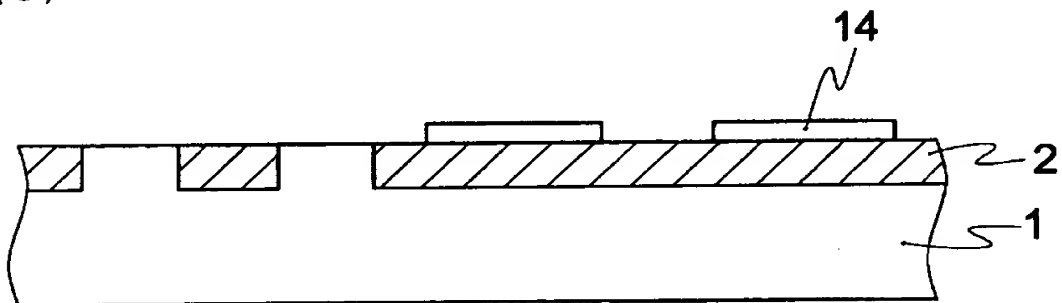
(a)



(b)

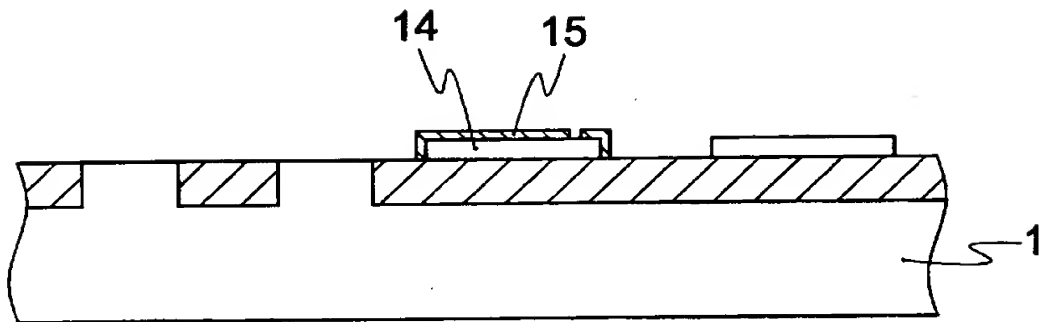


(c)

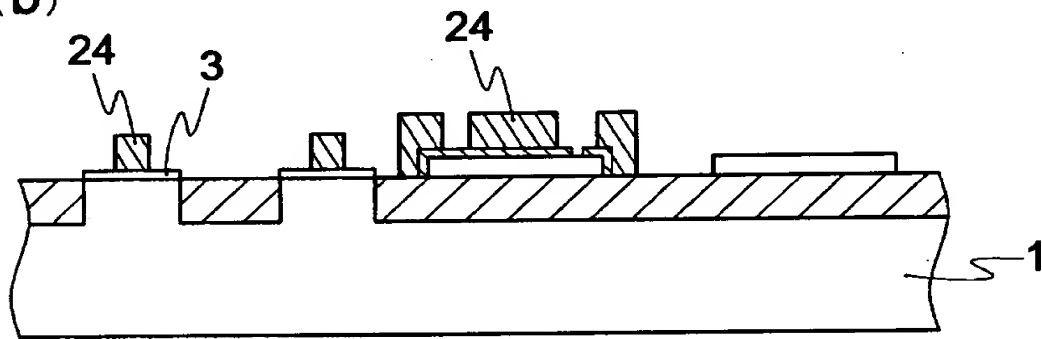


【図 22】

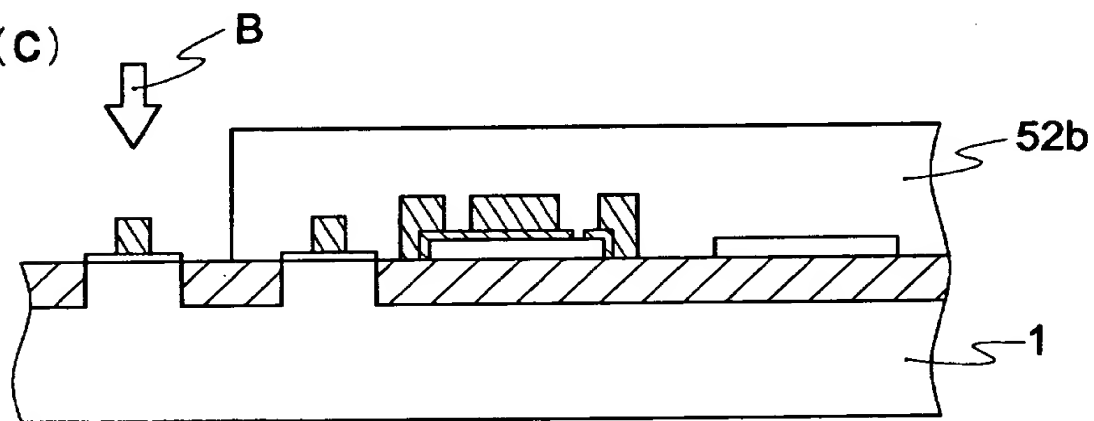
(a)



(b)

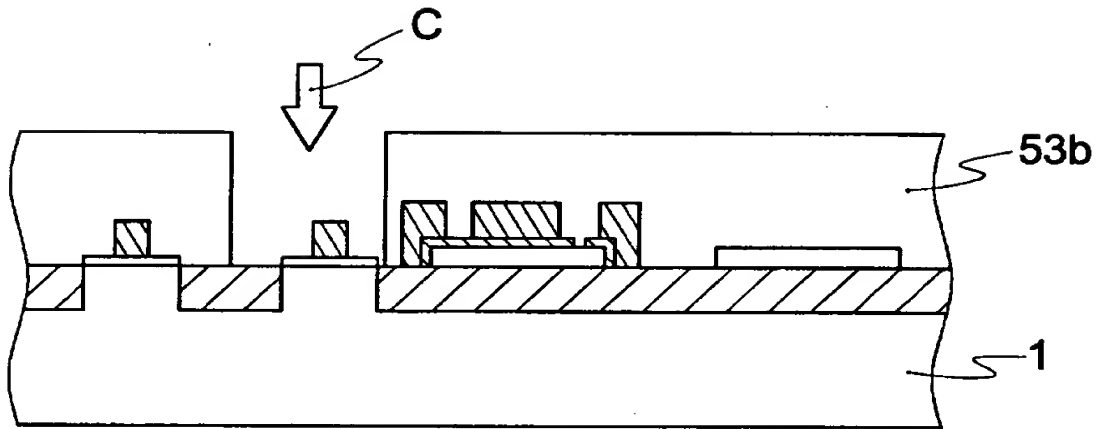


(c)

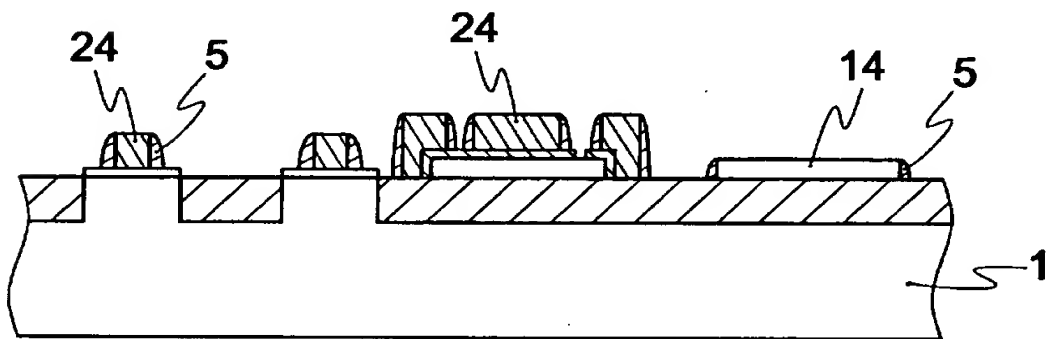


【図 23】

(a)

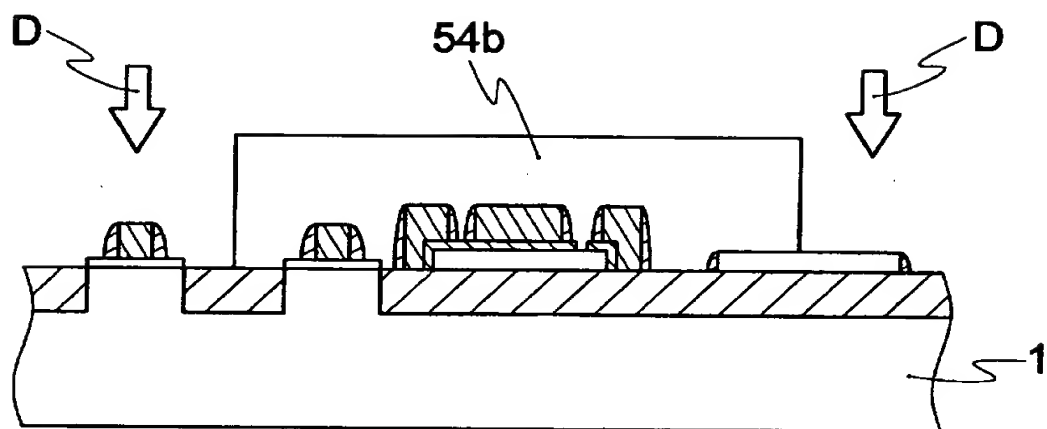


(b)

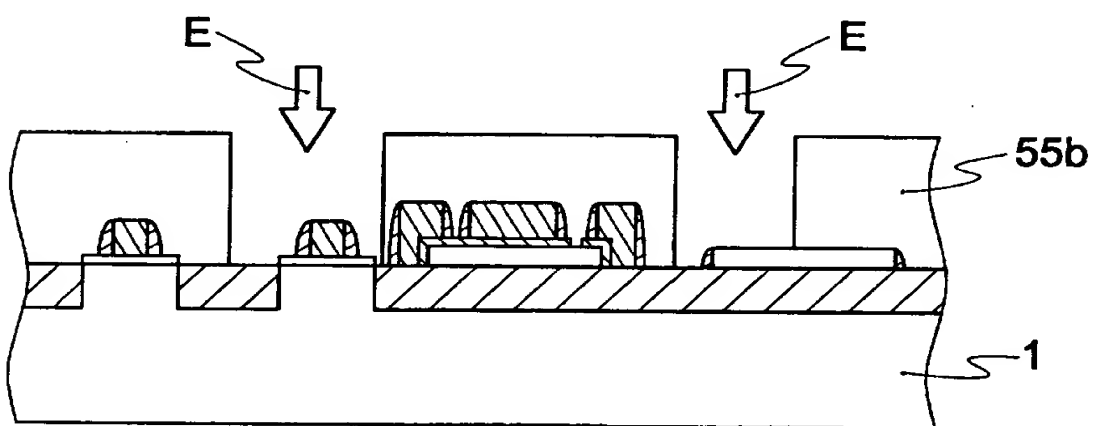


【図 24】

(a)

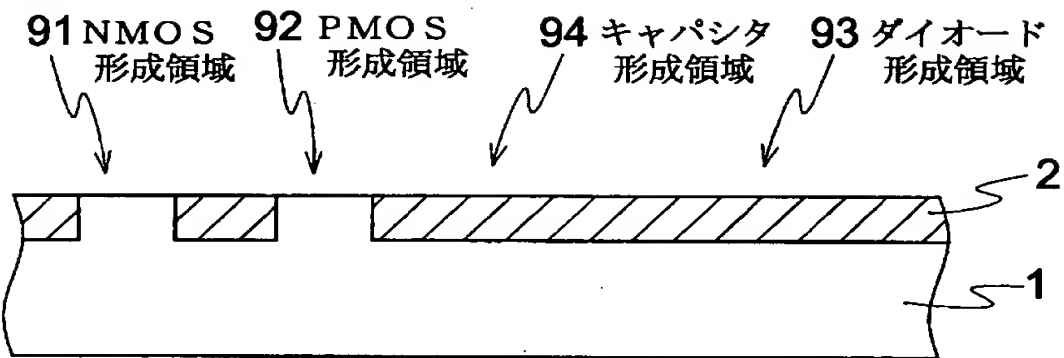


(b)

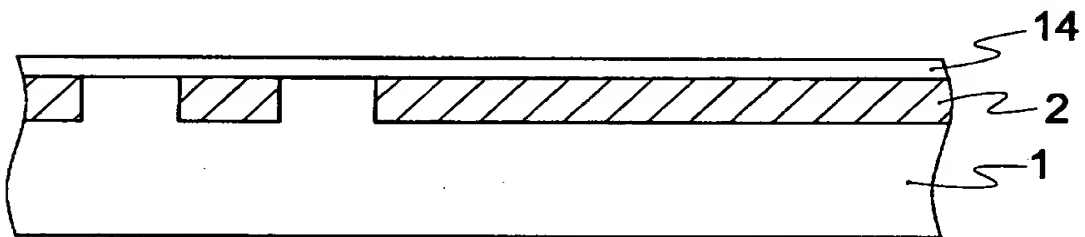


【図 2 5】

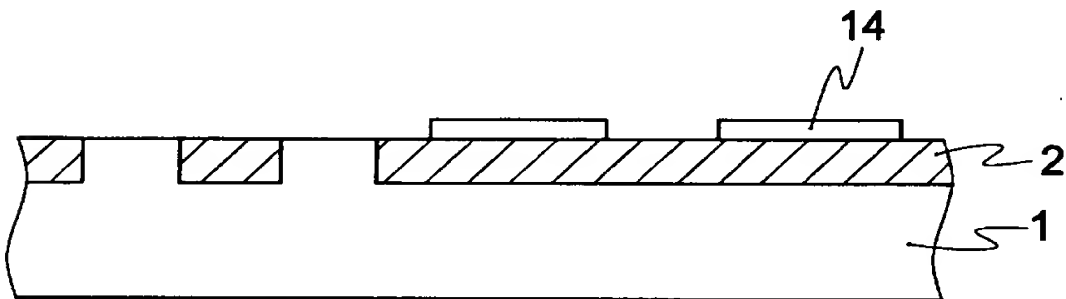
(a)



(b)

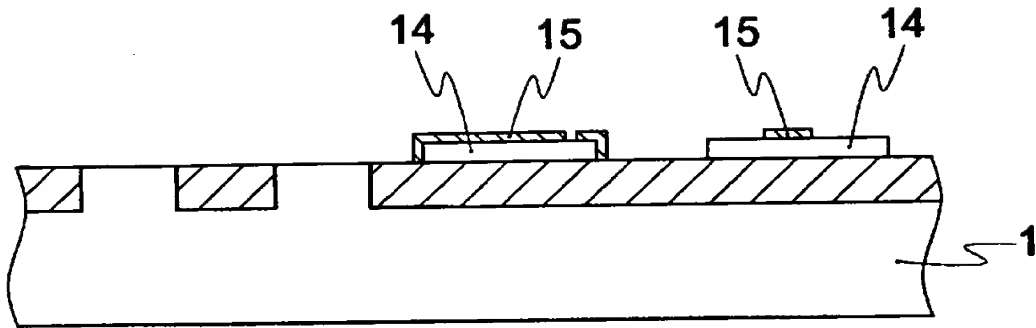


(c)

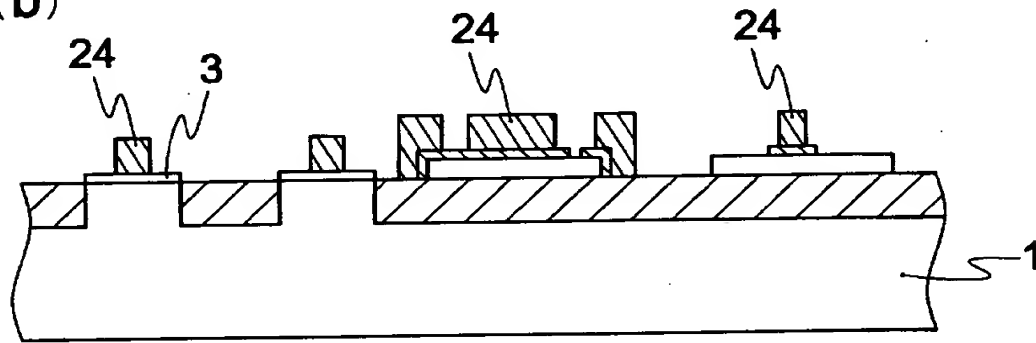


【図 26】

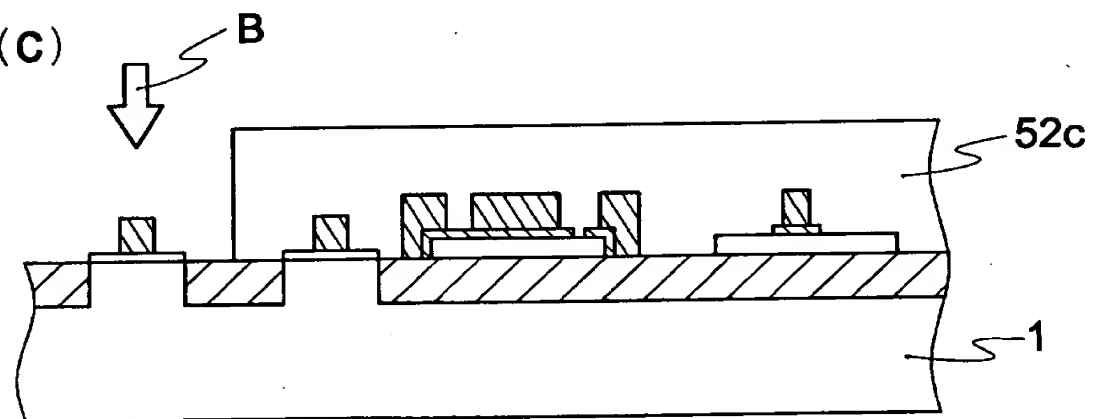
(a)



(b)

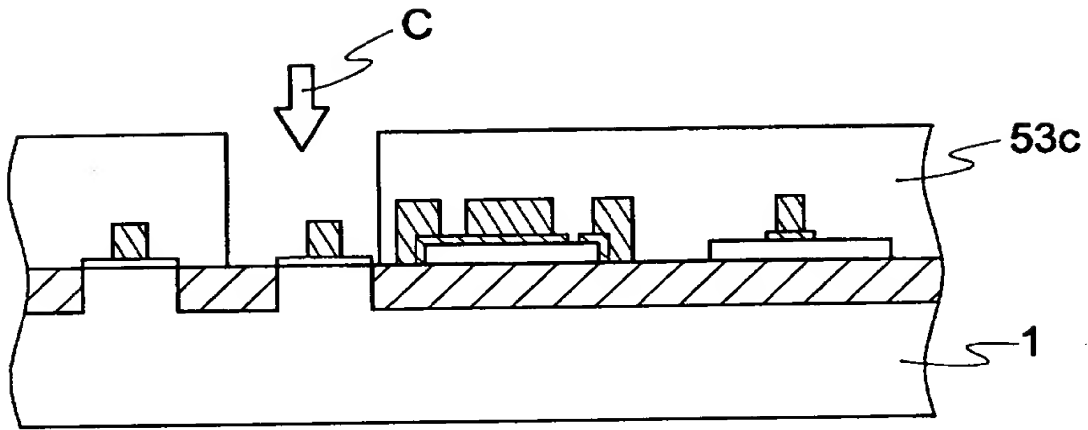


(c)

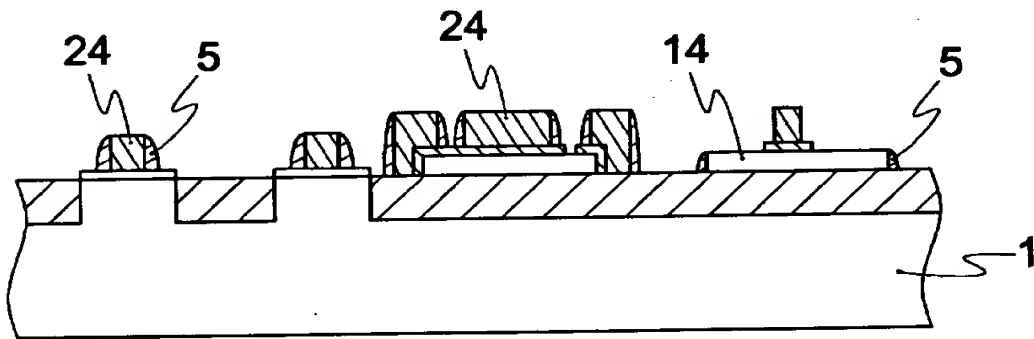


【図 27】

(a)

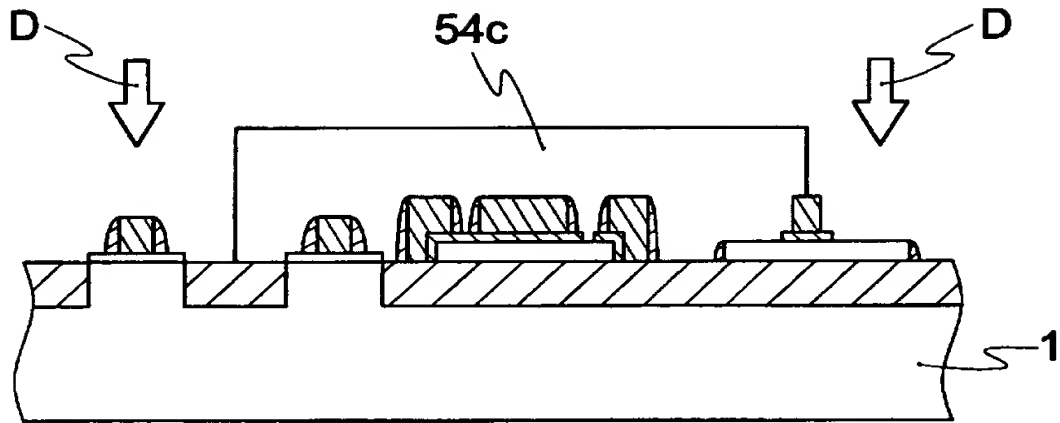


(b)

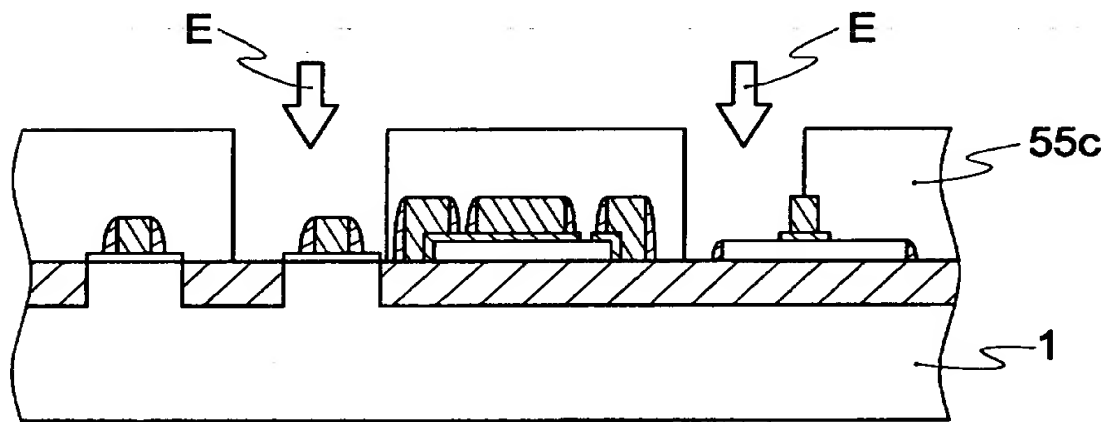


【図 28】

(a)

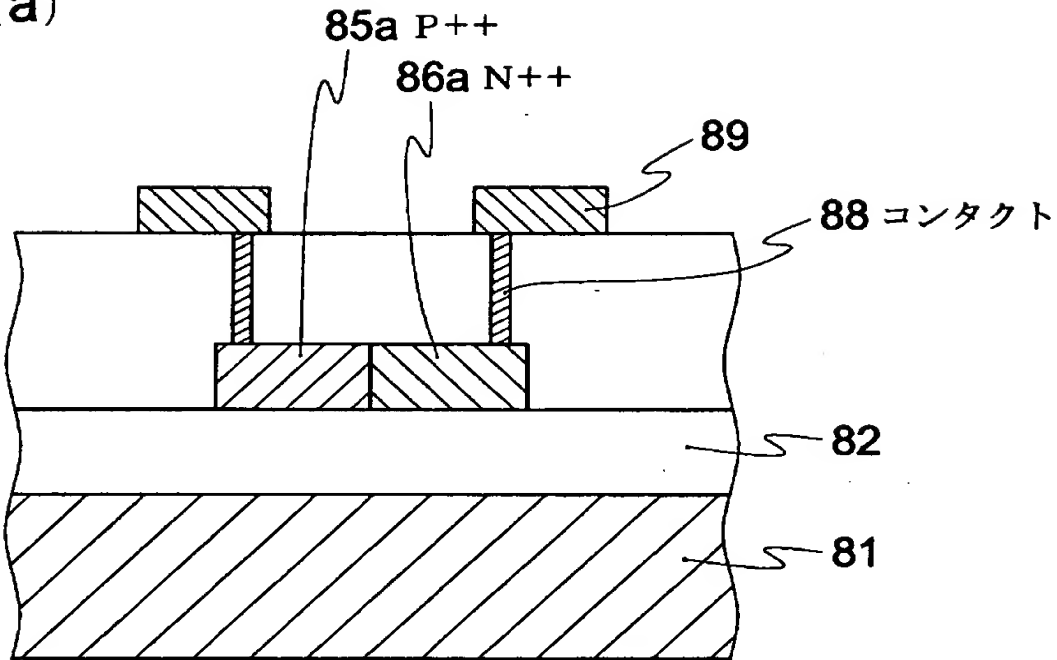


(b)

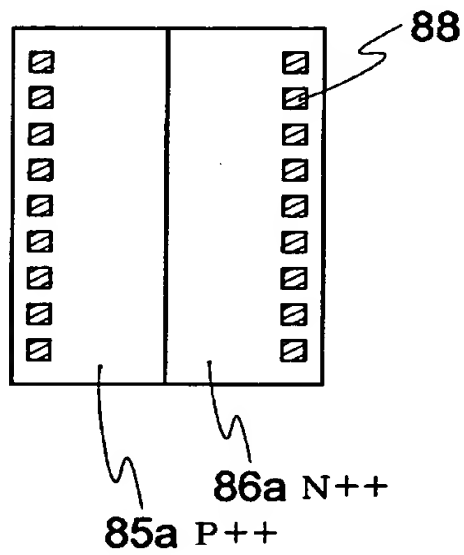


【図 29】

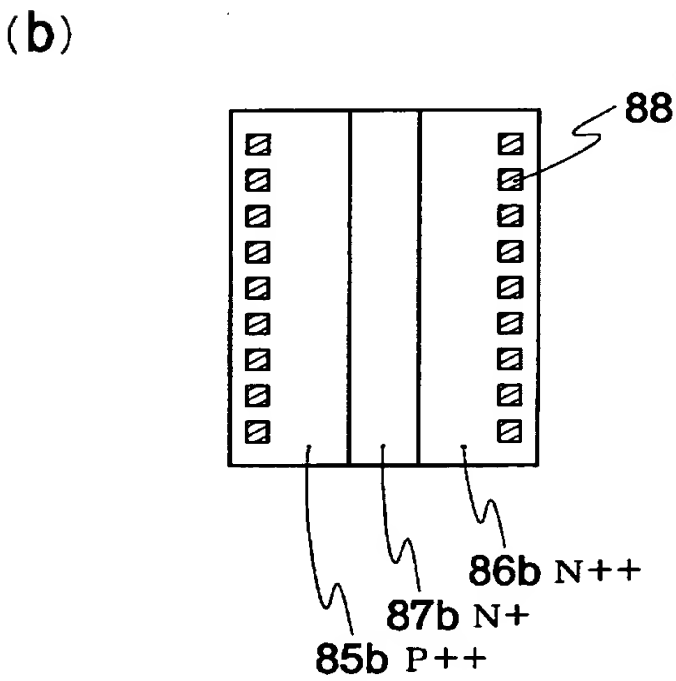
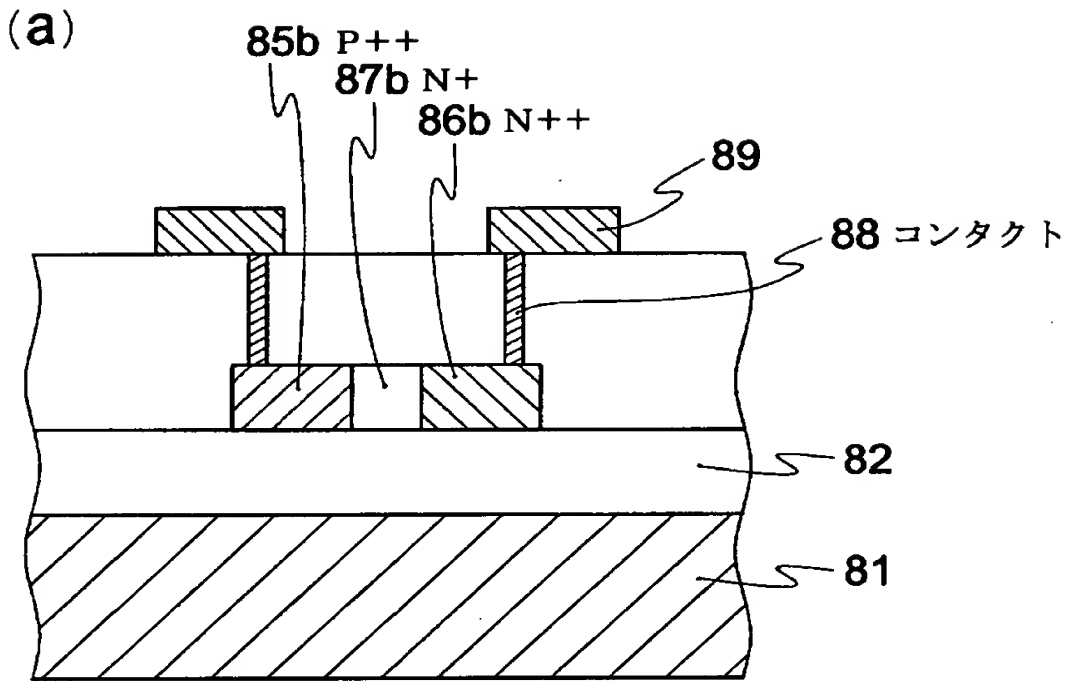
(a)



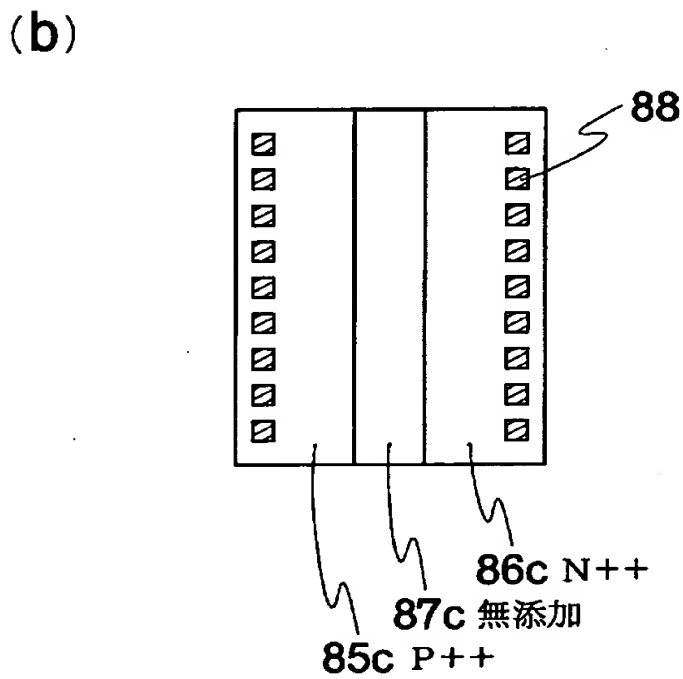
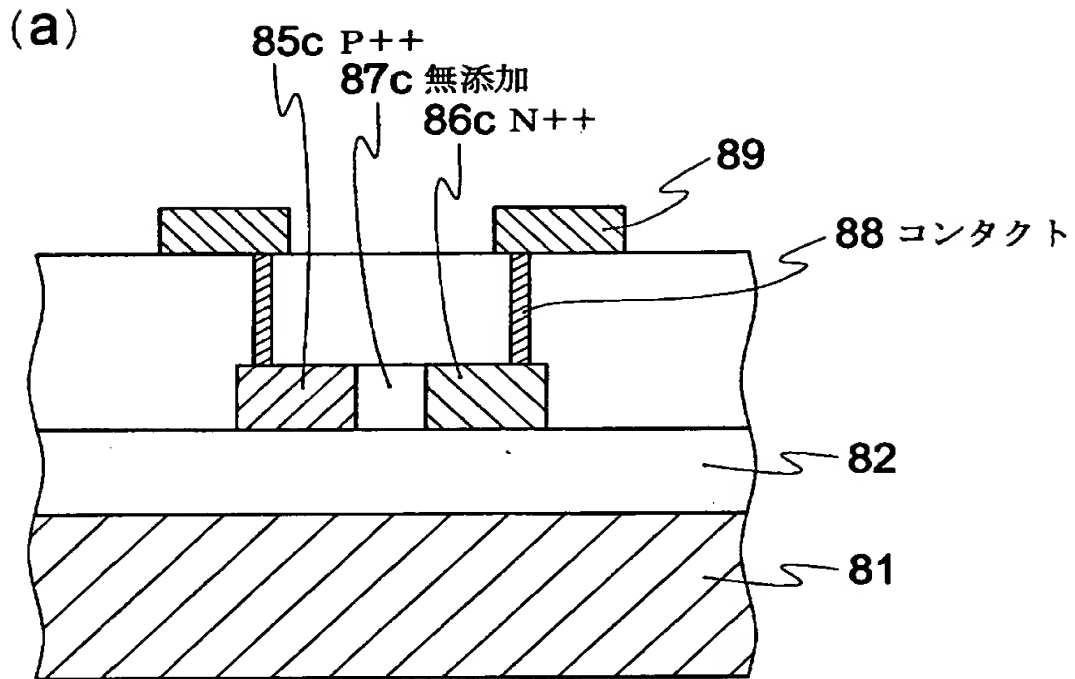
(b)



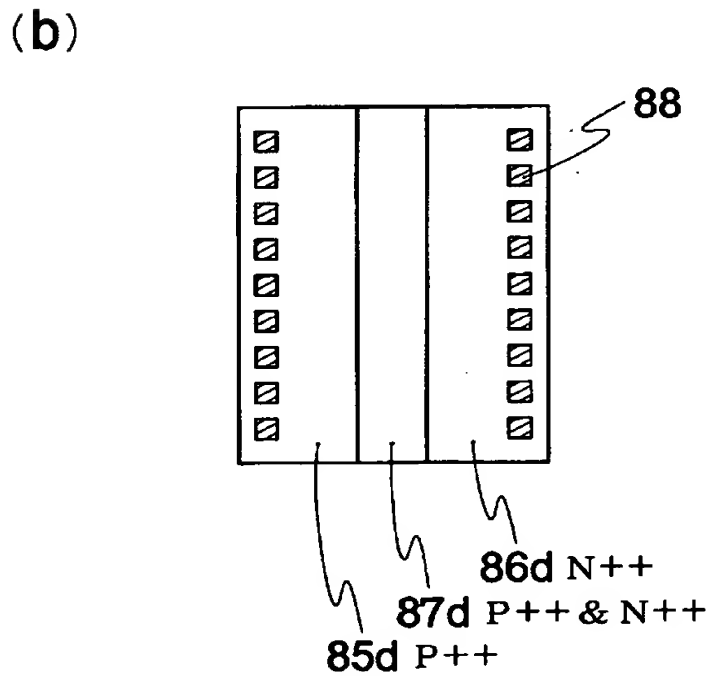
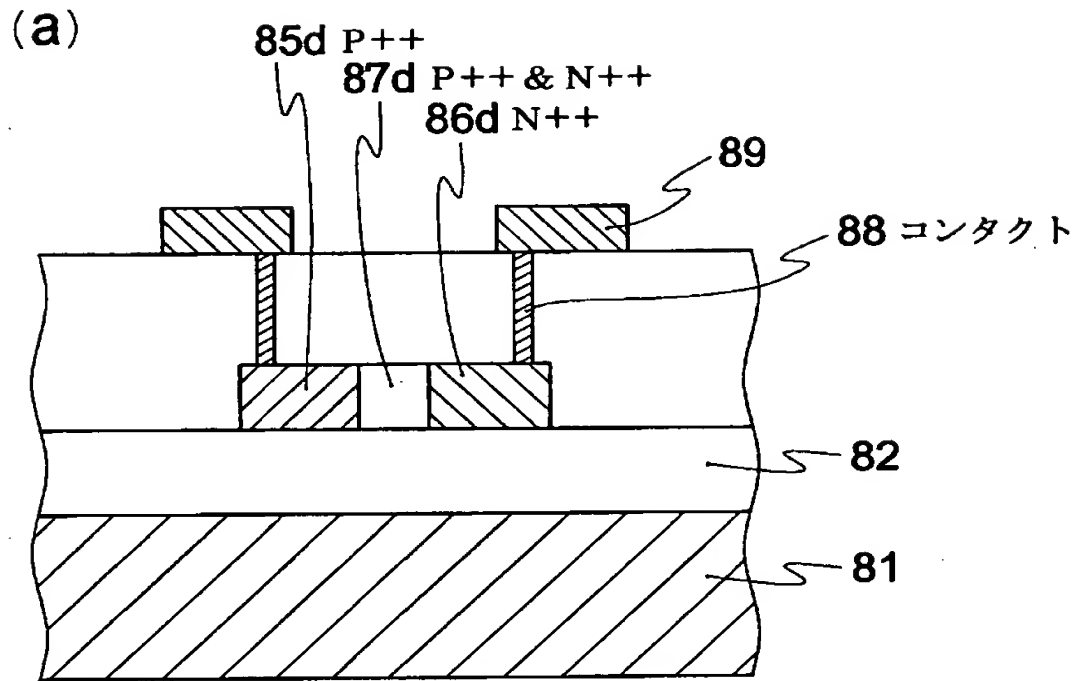
【図 30】



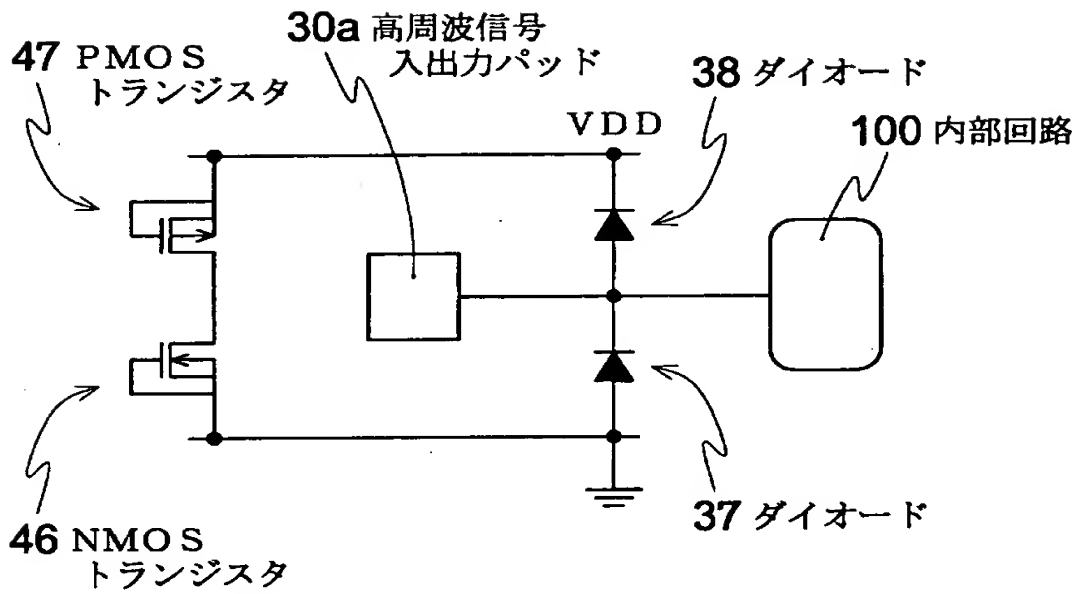
【図 31】



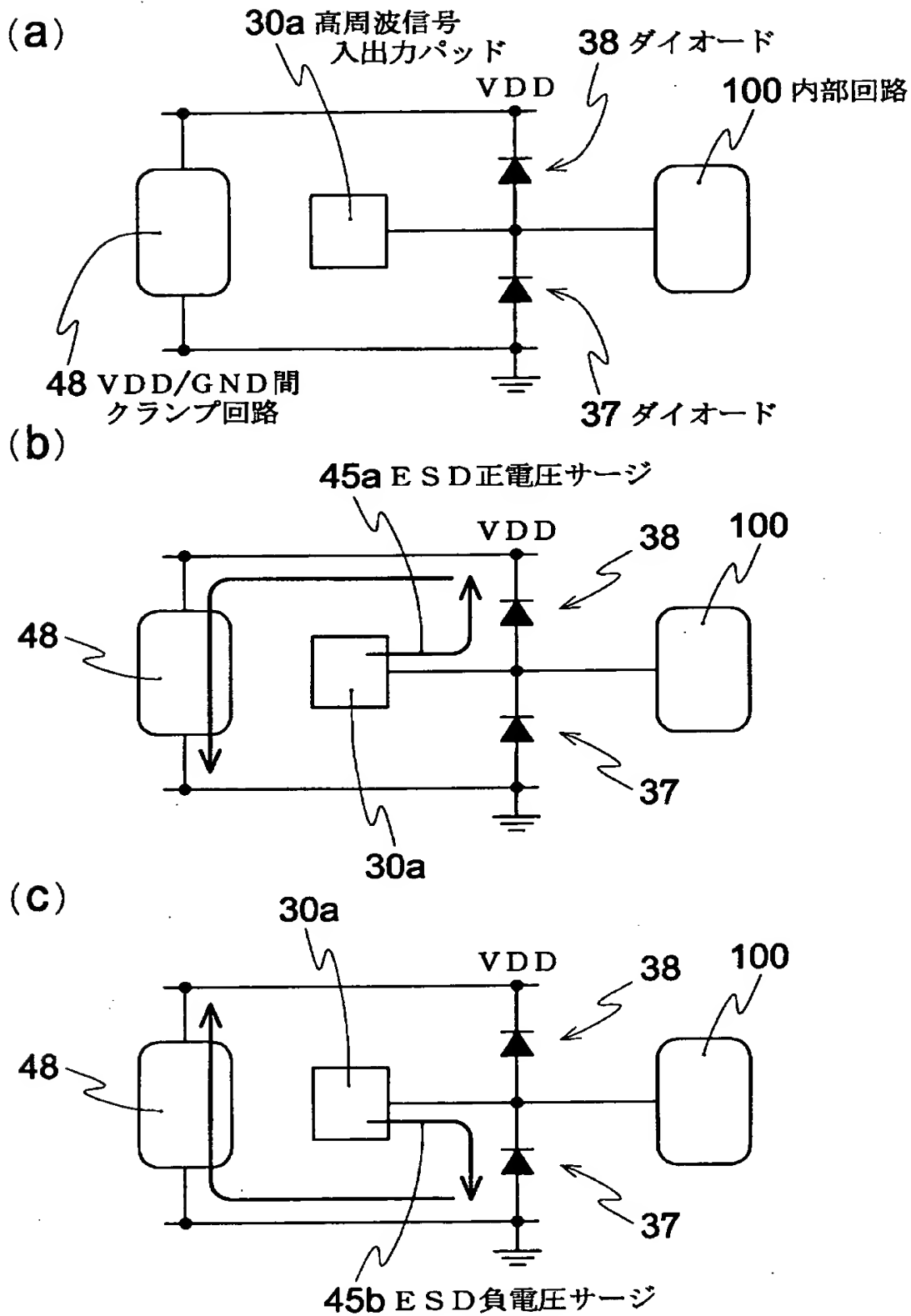
【図 3 2】



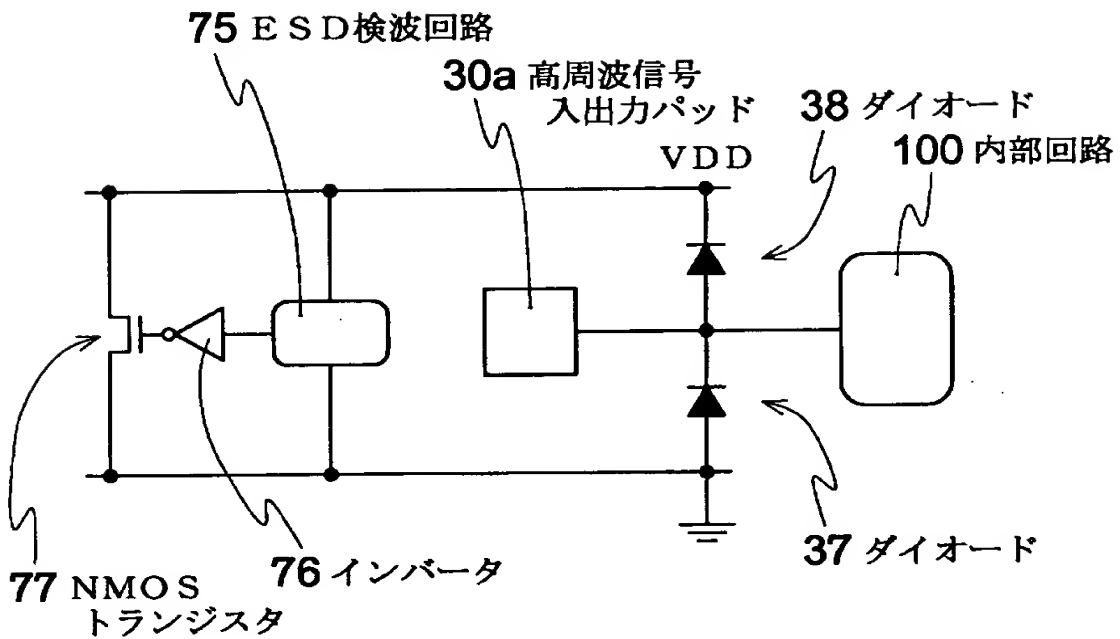
【図 33】



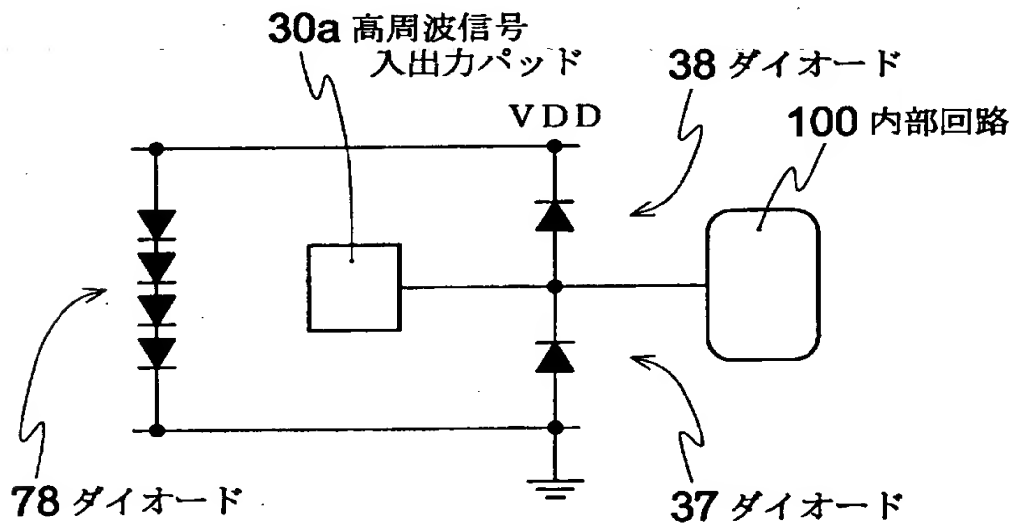
【図 34】



【図 3 5】



【図 3 6】



【書類名】 要約書

【要約】

【課題】 高 E S D 耐性を持つ高信頼度の高機能高周波 S i - M O S 半導体デバイスを提供する。

【解決手段】 高周波入出力信号線と外部供給電源 V D D との間、および外部接地電圧 G N D と前記高周波入出力信号線との間に、高周波入出力信号線から外部供給電圧 V D D への向き、および外部接地電圧 G N D から高周波入出力信号線への向きがそれぞれダイオードの順方向となるようにポリシリコン横方向ダイオードを形成・接続する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社